

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/003193

International filing date: 25 February 2005 (25.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-322767
Filing date: 05 November 2004 (05.11.2004)

Date of receipt at the International Bureau: 30 June 2005 (30.06.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 1 1 月 5 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 3 2 2 7 6 7

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

J P 2 0 0 4 - 3 2 2 7 6 7

出 願 人
Applicant(s): 日本テキサス・インスツルメンツ株式会社
須川 成利

2 0 0 5 年 6 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 040549
【提出日】 平成16年11月 5日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/14
H04N 5/335
【発明者】
【住所又は居所】 宮城県仙台市青葉区川内元支倉35 川内住宅2-102
【氏名】 須川 成利
【特許出願人】
【識別番号】 390020248
【氏名又は名称】 日本テキサス・インスツルメンツ株式会社
【特許出願人】
【識別番号】 503282079
【氏名又は名称】 須川 成利
【代理人】
【識別番号】 100094053
【弁理士】
【氏名又は名称】 佐藤 隆久
【先の出願に基づく優先権主張】
【出願番号】 特願2004- 53889
【出願日】 平成16年 2月27日
【手数料の表示】
【予納台帳番号】 014890
【納付金額】 16,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9102925

【書類名】 特許請求の範囲

【請求項 1】

光を受光して光電荷を生成および蓄積するフォトダイオードと、
前記光電荷を転送する転送トランジスタと、
少なくとも前記転送トランジスタを介して前記フォトダイオードに接続して設けられ、
蓄積動作時に前記フォトダイオードから溢れる光電荷を少なくとも前記転送トランジスタ
を通じて蓄積する蓄積容量素子と
を有する画素がアレイ状に複数個集積された固体撮像装置。

【請求項 2】

前記転送トランジスタと前記蓄積容量素子の間に、
前記転送トランジスタを通じて前記光電荷が転送されるフローティングディフュージョ
ンと、
前記フローティングディフュージョンと前記蓄積容量素子のポテンシャルを結合または
分割する蓄積トランジスタと
をさらに有する請求項 1 に記載の固体撮像装置。

【請求項 3】

前記フローティングディフュージョンに接続して形成され、前記フローティングディフ
ュージョン内の光電荷を排出するためのリセットトランジスタと、
前記フローティングディフュージョン内の光電荷を電圧信号に増幅変換する増幅ラン
ジスタと、
前記増幅トランジスタに接続して形成され、前記画素を選択するための選択トランジス
タと
をさらに有する請求項 2 に記載の固体撮像装置。

【請求項 4】

前記蓄積容量素子に蓄積された光電荷を対数変換して読み出す対数変換回路を含む
請求項 3 に記載の固体撮像装置。

【請求項 5】

前記フォトダイオードから溢れる光電荷を対数変換して前記蓄積容量素子に蓄積する対
数変換回路を含む
請求項 3 に記載の固体撮像装置。

【請求項 6】

前記蓄積容量素子と前記蓄積トランジスタの接続部に接続して形成され、前記蓄積容量
素子および前記フローティングディフュージョン内の光電荷を排出するためのリセットト
ランジスタと、
前記フローティングディフュージョン内の光電荷を電圧信号に増幅変換する増幅ラン
ジスタと、
前記増幅トランジスタに接続して形成され、前記画素を選択するための選択トランジス
タと
をさらに有する請求項 2 に記載の固体撮像装置。

【請求項 7】

前記転送トランジスタが、前記転送トランジスタを構成する基板の表面または表面近傍
から所定の深さまで形成された前記転送トランジスタのチャンネルと同じ導電型の半導体層
を有する埋め込みチャンネル型である
請求項 1 に記載の固体撮像装置。

【請求項 8】

前記転送トランジスタが、前記転送トランジスタを構成する基板の所定の深さにおいて
形成され、前記転送トランジスタのチャンネルと同じ導電型であり、前記転送トランジスタ
のパンチスルーの障壁を低減する半導体層を有する
請求項 1 に記載の固体撮像装置。

【請求項 9】

前記蓄積容量素子は、前記固体撮像装置を構成する半導体基板の表層部分に形成された下部電極となる半導体領域と、前記半導体領域上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有する

請求項 1 に記載の固体撮像装置。

【請求項 1 0】

前記蓄積容量素子は、前記固体撮像装置を構成する基板上に形成された下部電極と、前記下部電極上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有する

請求項 1 に記載の固体撮像装置。

【請求項 1 1】

前記蓄積容量素子は、前記固体撮像装置を構成する半導体基板に形成されたトレンチの内壁に形成された下部電極となる半導体領域と、前記トレンチの内壁を被覆して形成された容量絶縁膜と、前記容量絶縁膜を介して前記トレンチを埋め込んで形成された上部電極とを有する

請求項 1 に記載の固体撮像装置。

【請求項 1 2】

第 1 導電型半導体領域と前記第 1 導電型半導体領域に接合する第 2 導電型半導体領域とが前記固体撮像装置を構成する半導体基板の内部に埋め込まれて、前記蓄積容量素子が構成されている

請求項 1 に記載の固体撮像装置。

【請求項 1 3】

前記固体撮像装置を構成する基板が半導体基板上に絶縁膜を介して半導体層が形成されている S O I (Semiconductor on Insulator) 基板であり、

前記絶縁膜を介して対向する前記半導体基板と前記半導体層の間の絶縁膜容量を用いて前記蓄積容量素子が構成されている

請求項 1 に記載の固体撮像装置。

【請求項 1 4】

前記フローティングディフュージョンまたは前記フローティングディフュージョンおよび前記蓄積容量素子に転送された光電荷から得られた電圧信号と、前記フローティングディフュージョンまたは前記フローティングディフュージョンおよび前記蓄積容量素子のリセットレベルの電圧信号との差分を取るノイズキャンセル手段をさらに有する

請求項 3 に記載の固体撮像装置。

【請求項 1 5】

前記フローティングディフュージョンおよび前記蓄積容量素子のリセットレベルの電圧信号を記憶する記憶手段をさらに有する

請求項 1 4 に記載の固体撮像装置。

【請求項 1 6】

前記フローティングディフュージョンに転送された光電荷から得られた電圧信号と、前記フローティングディフュージョンの前記転送前のレベルの電圧信号との差分を取るノイズキャンセル手段をさらに有する

請求項 6 に記載の固体撮像装置。

【請求項 1 7】

前記フローティングディフュージョンおよび前記蓄積容量素子に転送された光電荷から得られた電圧信号と、前記フローティングディフュージョンおよび前記蓄積容量素子のリセットレベルの電圧信号との差分を取るノイズキャンセル手段をさらに有する

請求項 6 に記載の固体撮像装置。

【請求項 1 8】

前記フローティングディフュージョンおよび前記蓄積容量素子のリセットレベルの電圧信号を記憶する記憶手段をさらに有する

請求項 1 7 に記載の固体撮像装置。

【請求項 1 9】

前記フォトダイオード内の光電荷を転送する第 1 電荷結合転送路が前記フォトダイオードに接続して形成され、

前記蓄積容量素子が隣接する画素間で接続されて、前記第 1 電荷結合転送路とは別に前記蓄積容量素子内の光電荷を転送する第 2 電荷結合転送路を構成する

請求項 1 に記載の固体撮像装置。

【請求項 2 0】

前記フォトダイオードに接続して形成され、前記フォトダイオード内の光電荷を転送する電荷結合転送路と、

前記蓄積容量素子に接続して形成され、前記蓄積容量素子内の光電荷を排出するためのリセットトランジスタと、

前記蓄積容量素子内の光電荷を電圧信号に増幅変換する増幅トランジスタと、

前記増幅トランジスタに接続して形成され、前記画素を選択するための選択トランジスタと

をさらに有する請求項 1 に記載の固体撮像装置。

【請求項 2 1】

前記画素を構成するトランジスタが n チャネル MOS トランジスタである

請求項 1 ～ 2 0 のいずれかに記載の固体撮像装置。

【請求項 2 2】

前記画素を構成するトランジスタが p チャネル MOS トランジスタである

請求項 1 ～ 2 0 のいずれかに記載の固体撮像装置。

【請求項 2 3】

光を受光して光電荷を生成および蓄積するフォトダイオードと、

前記光電荷を転送する転送トランジスタと、

前記フォトダイオードに少なくとも前記転送トランジスタを介して接続して設けられ、蓄積動作時に前記フォトダイオードから溢れる光電荷を少なくとも前記転送トランジスタを通じて蓄積する蓄積容量素子と

を有する画素が直線状に複数個集積されたラインセンサ。

【請求項 2 4】

光を受光して光電荷を生成および蓄積するフォトダイオードと、

前記光電荷を転送する転送トランジスタと、

前記フォトダイオードに少なくとも前記転送トランジスタを介して接続して設けられ、蓄積動作時に前記フォトダイオードから溢れる光電荷を少なくとも前記転送トランジスタを通じて蓄積する蓄積容量素子と

を有する光センサ。

【請求項 2 5】

光を受光して光電荷を生成および蓄積するフォトダイオードと、前記光電荷を転送する転送トランジスタおよび蓄積トランジスタと、前記転送トランジスタを介して前記フォトダイオードに接続して設けられたフローティングディフュージョンと、蓄積動作時に前記フォトダイオードから溢れる光電荷を前記転送トランジスタおよび前記蓄積トランジスタを通じて蓄積し、前記蓄積トランジスタにより前記フローティングディフュージョンとのポテンシャルの結合または分割が制御される蓄積容量素子とを有する画素がアレイ状に複数個集積された固体撮像装置の動作方法であって、

電荷蓄積前において、前記転送トランジスタをオフとし、前記蓄積トランジスタをオンとして、前記フローティングディフュージョンおよび前記蓄積容量素子内の光電荷を排出する工程と、

前記フローティングディフュージョンと前記蓄積容量素子のリセットレベルの電圧信号を読み出す工程と、

前記フォトダイオードで発生する光電荷のうち飽和前電荷を前記フォトダイオードに蓄積し、前記フォトダイオードから溢れる過飽和電荷を前記フローティングディフュージョ

ンおよび前記蓄積容量素子において蓄積する工程と、

前記蓄積トランジスタをオフとして、前記フローティングディフュージョンと前記蓄積容量素子のポテンシャルを分割し、前記フローティングディフュージョン内の光電荷を排出する工程と、

前記フローティングディフュージョンのリセットレベルの電圧信号を読み出す工程と、

前記転送トランジスタをオンとして前記飽和前電荷を前記フローティングディフュージョンに転送し、前記飽和前電荷の電圧信号を読み出す工程と、

前記蓄積トランジスタをオンとして、前記フローティングディフュージョンと前記蓄積容量素子のポテンシャルを結合し、前記飽和前電荷と前記過飽和信号を混合し、前記飽和前電荷と前記過飽和信号の和の電圧信号を読み出す工程と

を有する固体撮像装置の動作方法。

【請求項 2 6】

前記飽和前電荷の電圧信号と前記フローティングディフュージョンのリセットレベルの電圧信号の差分を取って前記飽和前電荷の電圧信号をノイズキャンセルする工程と、

前記飽和前電荷と前記過飽和信号の和の電圧信号と前記フローティングディフュージョンと前記蓄積容量素子のリセットレベルの電圧信号の差分を取って前記飽和前電荷と前記過飽和信号の和の電圧信号をノイズキャンセルする工程と、

前記飽和前電荷の電圧信号と実質的に同じゲインとなるように、前記飽和前電荷と前記過飽和信号の和の電圧信号のゲインを調整する工程と、

基準電圧と比較して、ノイズキャンセルされた前記飽和前電荷の電圧信号と、ノイズキャンセルされた前記飽和前電荷と前記過飽和信号の和の電圧信号のいずれかを選択する工程と

をさらに有する請求項 2 5 に記載の固体撮像装置の動作方法。

【請求項 2 7】

前記フォトダイオードで発生する光電荷のうち飽和前電荷を前記フォトダイオードに蓄積し、前記フォトダイオードから溢れる過飽和電荷を前記フローティングディフュージョンおよび前記蓄積容量素子において蓄積する工程において、前記転送トランジスタ部分のポテンシャルが、前記転送トランジスタを完全にオフとするレベルまたはそれよりも低いレベルになるように調節する

請求項 2 5 に記載の固体撮像装置の動作方法。

【請求項 2 8】

光を受光して光電荷を生成および蓄積するフォトダイオードと、前記光電荷を転送する転送トランジスタおよび蓄積トランジスタと、前記転送トランジスタを介して前記フォトダイオードに接続して設けられたフローティングディフュージョンと、蓄積動作時に前記フォトダイオードから溢れる光電荷を前記転送トランジスタおよび前記蓄積トランジスタを通じて蓄積し、前記蓄積トランジスタにより前記フローティングディフュージョンとのポテンシャルの結合または分割が制御される蓄積容量素子とを有する画素がアレイ状に複数個集積された固体撮像装置の動作方法であって、

電荷蓄積前において、前記転送トランジスタをオフとし、前記蓄積トランジスタをオンとして、前記フローティングディフュージョンおよび前記蓄積容量素子内の光電荷を排出する工程と、

前記フローティングディフュージョンと前記蓄積容量素子のリセットレベルの電圧信号を読み出す工程と、

前記フォトダイオードで発生する光電荷のうち飽和前電荷を前記フォトダイオードに蓄積し、前記フォトダイオードから溢れる過飽和電荷を前記フローティングディフュージョンおよび前記蓄積容量素子において蓄積する工程と、

前記蓄積トランジスタをオフとして、前記フローティングディフュージョンと前記蓄積容量素子のポテンシャルを分割し、前記フローティングディフュージョンの前記飽和前電荷の転送前レベルの電圧信号を読み出す工程と、

前記転送トランジスタをオンとして前記飽和前電荷を前記フローティングディフュージ

ョンに転送し、前記飽和前電荷の転送後レベルの電圧信号を読み出す工程と、

前記蓄積トランジスタをオンとして、前記フローティングディフュージョンと前記蓄積容量素子のポテンシャルを結合し、前記飽和前電荷と前記過飽和信号を混合し、前記飽和前電荷と前記過飽和信号の和の電圧信号を読み出す工程と

を有する固体撮像装置の動作方法。

【請求項 29】

前記飽和前電荷の転送後レベルの電圧信号と前記飽和前信号の転送前レベルの電圧信号の差分を取って前記飽和前電荷の電圧信号をノイズキャンセルする工程と、

前記飽和前電荷と前記過飽和信号の和の電圧信号と前記フローティングディフュージョンと前記蓄積容量素子のリセットレベルの電圧信号の差分を取って前記飽和前電荷と前記過飽和信号の和の電圧信号をノイズキャンセルする工程と、

前記飽和前電荷の電圧信号と実質的に同じゲインとなるように、前記飽和前電荷と前記過飽和信号の和の電圧信号のゲインを調整する工程と、

基準電圧と比較して、ノイズキャンセルされた前記飽和前電荷の電圧信号と、ノイズキャンセルされた前記飽和前電荷と前記過飽和信号の和の電圧信号のいずれかを選択する工程と

をさらに有する請求項 28 に記載の固体撮像装置の動作方法。

【請求項 30】

前記フォトダイオードで発生する光電荷のうち飽和前電荷を前記フォトダイオードに蓄積し、前記フォトダイオードから溢れる過飽和電荷を前記フローティングディフュージョンおよび前記蓄積容量素子において蓄積する工程において、前記転送トランジスタ部分のポテンシャルが、前記転送トランジスタを完全にオフとするレベルまたはそれよりも低いレベルになるように調節する

請求項 28 に記載の固体撮像装置の動作方法。

【書類名】 明細書

【発明の名称】 固体撮像装置、ラインセンサ、光センサおよび固体撮像装置の動作方法

【技術分野】

【0001】

本発明は固体撮像装置、ラインセンサ、光センサおよび固体撮像装置の動作方法に関し、特にCMOS型あるいはCCD型の固体撮像装置、ラインセンサおよび光センサと、当該固体撮像装置の動作方法に関する。

【背景技術】

【0002】

CMOS (Complementary Metal-Oxide-Semiconductor) イメージセンサあるいはCCD (Charge Coupled Device) イメージセンサなどの画像入力イメージセンサは、その特性向上とともに、例えばデジタルカメラやカメラ付き携帯電話などの用途で需要が拡大してきている。

【0003】

上記のイメージセンサは、さらなる特性向上が望まれており、その一つがダイナミックレンジを広くすることである。

従来用いられているイメージセンサのダイナミックレンジは、例えば3～4桁(60～80 dB)程度に留まっており、肉眼あるいは銀塩フィルムの5～6桁(100～120 dB)には及んでいないのが現状である。

そこで、肉眼あるいは銀塩フィルムと同等の5～6桁(100～120 dB)のダイナミックレンジを持つ高画質イメージセンサの開発が望まれている。このような広いダイナミックレンジを持つイメージセンサは、デジタルカメラやカメラ付き携帯電話などの他、PDA (Personal Digital Assistant) 用画像入力カメラ、高度交通管理システム用カメラ、監視カメラ、FA (Factory Automation) 用カメラあるいは医療用カメラなどの用途への応用が期待されている。

【0004】

上記のイメージセンサの特性を向上させる技術として、例えば、非特許文献1などに、高感度および高S/N比化するために、各画素(ピクセル)のフォトダイオードに発生するノイズと当該ノイズに光信号が加算された信号とをそれぞれ読み出し、両者の差分を取ることでノイズ成分を除去して光信号のみを取り出すオンチップノイズキャンセルと呼ばれる技術が開発されている。

しかし、この方法でもダイナミックレンジは80 dB以下であり、これより広ダイナミックレンジ化することが望まれている。

【0005】

例えば、特許文献1には、図34に示すように、フォトダイオードPDに高感度低照度側の小容量 C_1 のフローティングディフュージョンと低感度高照度側の大容量 C_2 のフローティングディフュージョンを接続して、低照度側の出力out1と高照度側の出力out2をそれぞれ出力することで広ダイナミック化する技術が開示されている。

また、特許文献2には、図35に示すように、フローティングディフュージョンFDの容量 C_g を可変とし、低照度から高照度までをカバーして広ダイナミック化する技術が開示されている。

他には、短い露光時間による高照度に対応した撮像と、長い露光時間により低照度に対応した撮像の異なる露光時間で2回撮像する技術も開発されている。

【0006】

また、特許文献3および非特許文献2には、図36に示すように、フォトダイオードPDと容量Cの間にトランジスタスイッチTを設け、1回目の露光期間でスイッチTをONして光電荷信号をフォトダイオードPDと容量Cの両方に蓄積し、2回目の露光期間でスイッチTをOFFして前者の蓄積電荷に加えてフォトダイオードPDで光電荷信号を蓄積することで広ダイナミックレンジ化する技術が開示されている。ここで、飽和を上回る光照射があった場合、過剰電荷はリセットトランジスタRを介して排出されることが明示さ

れている。

【0007】

また、特許文献4には、図37に示すように、フォトダイオードPDとして容量Cを従来より大きなものを採用することで高照度撮像に対応できるようにする技術が開示されている。

また、非特許文献3には、図38に示すように、フォトダイオードPDからの信号を、MOSトランジスタを組み合わせる構成されている対数変換回路により、対数変換しながら出力することで、高照度撮像に対応できるようにする技術が開示されている。

【0008】

しかしながら、上記の特許文献1、2、3および非特許文献2に記載の方法あるいは異なる露光時間で2回撮像する方法では、低照度側の撮像と高照度側の撮像を異なる時刻において行わなければならないため、動画を撮像すると両照度に対応した撮像の画像にズレが発生し、両画像を整合させることができなくなってしまうという問題がある。

【0009】

また、上記の特許文献4および非特許文献3に記載の方法では、高照度側の撮像に対応するようにして広ダイナミックレンジを達成できるものの、低照度側の撮像に関しては低感度、低S/N比となってしまう、画像の品質を向上させることはできない。

【0010】

上記のように、CMOSイメージセンサなどのイメージセンサにおいて、高感度高S/N比を維持したままで広ダイナミックレンジ化を達成することが困難となっていた。

また、上記のことはイメージセンサに限ったことではなく、画素を直線状に配したラインセンサや複数の画素を持たない光センサとしても、高感度高S/N比を維持したままで広ダイナミックレンジ化を達成することは困難であった。

【特許文献1】特開2003-134396号公報

【特許文献2】特開2000-165754号公報

【特許文献3】特開2002-77737号公報

【特許文献4】特開平5-90556号公報

【非特許文献1】S. Inoue et al., IEEE Workshop on CCDs and Advanced Image Sensors 2001, page 16-19

【非特許文献2】Yoshinori Muramatsu et al., IEEE Journal of Solid-state Circuits, vol. 38, No. 1, January 2003

【非特許文献3】映像情報メディア学会誌、57（2003）

【発明の開示】

【発明が解決しようとする課題】

【0011】

本発明は上記の状況に鑑みてなされたものであり、本発明の目的は、高感度高S/N比を維持したままで広ダイナミックレンジ化できる固体撮像装置、ラインセンサおよび光センサと、高感度高S/N比を維持したままで広ダイナミックレンジ化するための固体撮像装置の動作方法を提供することである。

【課題を解決するための手段】

【0012】

上記の目的を達成するため、本発明の固体撮像装置は、光を受光して光電荷を生成および蓄積するフォトダイオードと、前記光電荷を転送する転送トランジスタと、少なくとも前記転送トランジスタを介して前記フォトダイオードに接続して設けられ、蓄積動作時に前記フォトダイオードから溢れる光電荷を少なくとも前記転送トランジスタを通じて蓄積する蓄積容量素子とを有する画素がアレイ状に複数個集積されてなる。

【0013】

上記の本発明の固体撮像装置は、光を受光して光電荷を生成および蓄積するフォトダイオードと、フォトダイオードから溢れる光電荷を蓄積する蓄積容量素子とが、転送トランジスタを介して接続されている構成の画素がアレイ状に集積されている。

【0014】

上記の本発明の固体撮像装置は、好適には、前記転送トランジスタと前記蓄積容量素子の間に、前記転送トランジスタを通じて前記光電荷が転送されるフローティングディフュージョンと、前記フローティングディフュージョンと前記蓄積容量素子のポテンシャルを結合または分割する蓄積トランジスタとをさらに有する。

さらに好適には、前記フローティングディフュージョンに接続して形成され、前記フローティングディフュージョン内の光電荷を排出するためのリセットトランジスタと、前記フローティングディフュージョン内の光電荷を電圧信号に増幅変換する増幅トランジスタと、前記増幅トランジスタに接続して形成され、前記画素を選択するための選択トランジスタとをさらに有する。

【0015】

またさらに好適には、前記蓄積容量素子に蓄積された光電荷を対数変換して読み出す対数変換回路を含む。

あるいはまたさらに好適には、前記フォトダイオードから溢れる光電荷を対数変換して前記蓄積容量素子に蓄積する対数変換回路を含む。

【0016】

上記の本発明の固体撮像装置は、好適には、前記蓄積容量素子と前記蓄積トランジスタの接続部に接続して形成され、前記蓄積容量素子および前記フローティングディフュージョン内の光電荷を排出するためのリセットトランジスタと、前記フローティングディフュージョン内の光電荷を電圧信号に増幅変換する増幅トランジスタと、前記増幅トランジスタに接続して形成され、前記画素を選択するための選択トランジスタとをさらに有する。

【0017】

上記の本発明の固体撮像装置は、好適には、前記転送トランジスタが、前記転送トランジスタを構成する基板の表面または表面近傍から所定の深さまで形成された前記転送トランジスタのチャンネルと同じ導電型の半導体層を有する埋め込みチャンネル型である。

あるいは好適には、前記転送トランジスタが、前記転送トランジスタを構成する基板の所定の深さにおいて形成され、前記転送トランジスタのチャンネルと同じ導電型であり、前記転送トランジスタのパンチスルーの障壁を低減する半導体層を有する。

【0018】

上記の本発明の固体撮像装置は、好適には、前記蓄積容量素子は、前記固体撮像装置を構成する半導体基板の表層部分に形成された下部電極となる半導体領域と、前記半導体領域上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有する。

あるいは好適には、前記蓄積容量素子は、前記固体撮像装置を構成する基板上に形成された下部電極と、前記下部電極上に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極とを有する。

あるいは好適には、前記蓄積容量素子は、前記固体撮像装置を構成する半導体基板に形成されたトレンチの内壁に形成された下部電極となる半導体領域と、前記トレンチの内壁を被覆して形成された容量絶縁膜と、前記容量絶縁膜を介して前記トレンチを埋め込んで形成された上部電極とを有する。

あるいは好適には、第1導電型半導体領域と前記第1導電型半導体領域に接合する第2導電型半導体領域とが前記固体撮像装置を構成する半導体基板の内部に埋め込まれて、前記蓄積容量素子が構成されている。

あるいは好適には、前記固体撮像装置を構成する基板が半導体基板上に絶縁膜を介して半導体層が形成されているSOI（Semiconductor on Insulator）基板であり、前記絶縁膜を介して対向する前記半導体基板と前記半導体層の間の絶縁膜容量を用いて前記蓄積容量素子が構成されている。

【0019】

上記の本発明の固体撮像装置は、好適には、前記フローティングディフュージョンまたは前記フローティングディフュージョンおよび前記蓄積容量素子に転送された光電荷から得られた電圧信号と、前記フローティングディフュージョンまたは前記フローティングデ

イフュージョンおよび前記蓄積容量素子のリセットレベルの電圧信号との差分を取るノイズキャンセル手段をさらに有する。

またさらに好適には、前記フローティングディフュージョンおよび前記蓄積容量素子のリセットレベルの電圧信号を記憶する記憶手段をさらに有する。

【0020】

上記の本発明の固体撮像装置は、好適には、前記フローティングディフュージョンに転送された光電荷から得られた電圧信号と、前記フローティングディフュージョンの前記転送前のレベルの電圧信号との差分を取るノイズキャンセル手段をさらに有する。

さらに好適には、前記フローティングディフュージョンおよび前記蓄積容量素子に転送された光電荷から得られた電圧信号と、前記フローティングディフュージョンおよび前記蓄積容量素子のリセットレベルの電圧信号との差分を取るノイズキャンセル手段をさらに有する。

またさらに好適には、前記フローティングディフュージョンおよび前記蓄積容量素子のリセットレベルの電圧信号を記憶する記憶手段をさらに有する。

【0021】

上記の本発明の固体撮像装置は、好適には、前記フォトダイオード内の光電荷を転送する第1電荷結合転送路が前記フォトダイオードに接続して形成され、前記蓄積容量素子が隣接する画素間で接続されて、前記第1電荷結合転送路とは別に前記蓄積容量素子内の光電荷を転送する第2電荷結合転送路を構成する。

あるいは、好適には、前記フォトダイオードに接続して形成され、前記フォトダイオード内の光電荷を転送する電荷結合転送路と、前記蓄積容量素子に接続して形成され、前記蓄積容量素子内の光電荷を排出するためのリセットトランジスタと、前記蓄積容量素子内の光電荷を電圧信号に増幅変換する増幅トランジスタと、前記増幅トランジスタに接続して形成され、前記画素を選択するための選択トランジスタとをさらに有する。

【0022】

上記の本発明の固体撮像装置は、好適には、前記画素を構成するトランジスタがnチャネルMOSトランジスタである。あるいは好適には、前記画素を構成するトランジスタがpチャネルMOSトランジスタである。

【0023】

また、上記の目的を達成するため、本発明のラインセンサは、光を受光して光電荷を生成および蓄積するフォトダイオードと、前記光電荷を転送する転送トランジスタと、前記フォトダイオードに少なくとも前記転送トランジスタを介して接続して設けられ、蓄積動作時に前記フォトダイオードから溢れる光電荷を少なくとも前記転送トランジスタを通じて蓄積する蓄積容量素子とを有する画素が直線状に複数個集積されてなる。

【0024】

上記の本発明のラインセンサは、光を受光して光電荷を生成および蓄積するフォトダイオードと、フォトダイオードから溢れる光電荷を蓄積する蓄積容量素子とが、転送トランジスタを介して接続されている構成の画素がライン状に集積されている。

【0025】

また、上記の目的を達成するため、本発明の光センサは、光を受光して光電荷を生成および蓄積するフォトダイオードと、前記光電荷を転送する転送トランジスタと、前記フォトダイオードに少なくとも前記転送トランジスタを介して接続して設けられ、蓄積動作時に前記フォトダイオードから溢れる光電荷を少なくとも前記転送トランジスタを通じて蓄積する蓄積容量素子とを有する。

【0026】

上記の本発明の光センサは、光を受光して光電荷を生成および蓄積するフォトダイオードと、フォトダイオードから溢れる光電荷を蓄積する蓄積容量素子とが、転送トランジスタを介して接続されている。

【0027】

上記の目的を達成するため、本発明の固体撮像装置の動作方法は、光を受光して光電荷

を生成および蓄積するフォトダイオードと、前記光電荷を転送する転送トランジスタおよび蓄積トランジスタと、前記転送トランジスタを介して前記フォトダイオードに接続して設けられたフローティングディフュージョンと、蓄積動作時に前記フォトダイオードから溢れる光電荷を前記転送トランジスタおよび前記蓄積トランジスタを通じて蓄積し、前記蓄積トランジスタにより前記フローティングディフュージョンとのポテンシャルの結合または分割が制御される蓄積容量素子とを有する画素がアレイ状に複数個集積された固体撮像装置の動作方法であって、電荷蓄積前において、前記転送トランジスタをオフとし、前記蓄積トランジスタをオンとして、前記フローティングディフュージョンおよび前記蓄積容量素子内の光電荷を排出する工程と、前記フローティングディフュージョンと前記蓄積容量素子のリセットレベルの電圧信号を読み出す工程と、前記フォトダイオードで発生する光電荷のうち飽和前電荷を前記フォトダイオードに蓄積し、前記フォトダイオードから溢れる過飽和電荷を前記フローティングディフュージョンおよび前記蓄積容量素子において蓄積する工程と、前記蓄積トランジスタをオフとして、前記フローティングディフュージョンと前記蓄積容量素子のポテンシャルを分割し、前記フローティングディフュージョン内の光電荷を排出する工程と、前記フローティングディフュージョンのリセットレベルの電圧信号を読み出す工程と、前記転送トランジスタをオンとして前記飽和前電荷を前記フローティングディフュージョンに転送し、前記飽和前電荷の電圧信号を読み出す工程と、前記蓄積トランジスタをオンとして、前記フローティングディフュージョンと前記蓄積容量素子のポテンシャルを結合し、前記飽和前電荷と前記過飽和信号を混合し、前記飽和前電荷と前記過飽和信号の和の電圧信号を読み出す工程とを有する。

【0028】

上記の本発明の固体撮像装置の動作方法は、電荷蓄積前において、転送トランジスタをオフとし、蓄積トランジスタをオンとして、フローティングディフュージョンおよび蓄積容量素子内の光電荷を排出し、フローティングディフュージョンと蓄積容量素子のリセットレベルの電圧信号を読み出す。

次に、フォトダイオードで発生する光電荷のうち飽和前電荷をフォトダイオードに蓄積し、フォトダイオードから溢れる過飽和電荷をフローティングディフュージョンおよび蓄積容量素子において蓄積する。

次に、蓄積トランジスタをオフとして、フローティングディフュージョンと蓄積容量素子のポテンシャルを分割し、フローティングディフュージョン内の光電荷を排出し、フローティングディフュージョンのリセットレベルの電圧信号を読み出す。

次に、転送トランジスタをオンとして飽和前電荷をフローティングディフュージョンに転送し、飽和前電荷の電圧信号を読み出す。

次に、蓄積トランジスタをオンとして、フローティングディフュージョンと蓄積容量素子のポテンシャルを結合し、飽和前電荷と過飽和信号を混合し、飽和前電荷と過飽和信号の和の電圧信号を読み出す。

【0029】

上記の本発明の固体撮像装置の動作方法は、好適には、前記飽和前電荷の電圧信号と前記フローティングディフュージョンのリセットレベルの電圧信号の差分を取って前記飽和前電荷の電圧信号をノイズキャンセルする工程と、前記飽和前電荷と前記過飽和信号の和の電圧信号と前記フローティングディフュージョンと前記蓄積容量素子のリセットレベルの電圧信号の差分を取って前記飽和前電荷と前記過飽和信号の和の電圧信号をノイズキャンセルする工程と、前記飽和前電荷の電圧信号と実質的に同じゲインとなるように、前記飽和前電荷と前記過飽和信号の和の電圧信号のゲインを調整する工程と、基準電圧と比較して、ノイズキャンセルされた前記飽和前電荷の電圧信号と、ノイズキャンセルされた前記飽和前電荷と前記過飽和信号の和の電圧信号のいずれかを選択する工程とをさらに有する。

【0030】

上記の本発明の固体撮像装置の動作方法は、好適には、前記フォトダイオードで発生する光電荷のうち飽和前電荷を前記フォトダイオードに蓄積し、前記フォトダイオードから

溢れる過飽和電荷を前記フローティングディフュージョンおよび前記蓄積容量素子において蓄積する工程において、前記転送トランジスタ部分のポテンシャルが、前記転送トランジスタを完全にオフとするレベルまたはそれよりも低いレベルになるように調節する。

【0031】

上記の目的を達成するため、本発明の固体撮像装置の動作方法は、光を受光して光電荷を生成および蓄積するフォトダイオードと、前記光電荷を転送する転送トランジスタおよび蓄積トランジスタと、前記転送トランジスタを介して前記フォトダイオードに接続して設けられたフローティングディフュージョンと、蓄積動作時に前記フォトダイオードから溢れる光電荷を前記転送トランジスタおよび前記蓄積トランジスタを通じて蓄積し、前記蓄積トランジスタにより前記フローティングディフュージョンとのポテンシャルの結合または分割が制御される蓄積容量素子とを有する画素がアレイ状に複数個集積された固体撮像装置の動作方法であって、電荷蓄積前において、前記転送トランジスタをオフとし、前記蓄積トランジスタをオンとして、前記フローティングディフュージョンおよび前記蓄積容量素子内の光電荷を排出する工程と、前記フローティングディフュージョンと前記蓄積容量素子のリセットレベルの電圧信号を読み出す工程と、前記フォトダイオードで発生する光電荷のうち飽和前電荷を前記フォトダイオードに蓄積し、前記フォトダイオードから溢れる過飽和電荷を前記フローティングディフュージョンおよび前記蓄積容量素子において蓄積する工程と、前記蓄積トランジスタをオフとして、前記フローティングディフュージョンと前記蓄積容量素子のポテンシャルを分割し、前記フローティングディフュージョンの前記飽和前電荷の転送前レベルの電圧信号を読み出す工程と、前記転送トランジスタをオンとして前記飽和前電荷を前記フローティングディフュージョンに転送し、前記飽和前電荷の転送後レベルの電圧信号を読み出す工程と、前記蓄積トランジスタをオンとして、前記フローティングディフュージョンと前記蓄積容量素子のポテンシャルを結合し、前記飽和前電荷と前記過飽和信号を混合し、前記飽和前電荷と前記過飽和信号の和の電圧信号を読み出す工程とを有する。

【0032】

上記の本発明の固体撮像装置の動作方法は、電荷蓄積前において、転送トランジスタをオフとし、蓄積トランジスタをオンとして、フローティングディフュージョンおよび蓄積容量素子内の光電荷を排出し、フローティングディフュージョンと蓄積容量素子のリセットレベルの電圧信号を読み出す。

次に、フォトダイオードで発生する光電荷のうち飽和前電荷をフォトダイオードに蓄積し、フォトダイオードから溢れる過飽和電荷をフローティングディフュージョンおよび蓄積容量素子において蓄積する。

次に、蓄積トランジスタをオフとして、フローティングディフュージョンと蓄積容量素子のポテンシャルを分割し、飽和前電荷の転送前レベルの電圧信号を読み出す。

次に、転送トランジスタをオンとして飽和前電荷をフローティングディフュージョンに転送し、飽和前電荷の転送後レベルの電圧信号を読み出す。

次に、蓄積トランジスタをオンとして、フローティングディフュージョンと蓄積容量素子のポテンシャルを結合し、飽和前電荷と過飽和信号を混合し、飽和前電荷と過飽和信号の和の電圧信号を読み出す。

【0033】

上記の本発明の固体撮像装置の動作方法は、好適には、前記飽和前電荷の転送後レベルの電圧信号と前記飽和前信号の転送前レベルの電圧信号の差分を取って前記飽和前電荷の電圧信号をノイズキャンセルする工程と、前記飽和前電荷と前記過飽和信号の和の電圧信号と前記フローティングディフュージョンと前記蓄積容量素子のリセットレベルの電圧信号の差分を取って前記飽和前電荷と前記過飽和信号の和の電圧信号をノイズキャンセルする工程と、前記飽和前電荷の電圧信号と実質的に同じゲインとなるように、前記飽和前電荷と前記過飽和信号の和の電圧信号のゲインを調整する工程と、基準電圧と比較して、ノイズキャンセルされた前記飽和前電荷の電圧信号と、ノイズキャンセルされた前記飽和前電荷と前記過飽和信号の和の電圧信号のいずれかを選択する工程とをさらに有する。

【0034】

上記の本発明の固体撮像装置の動作方法は、好適には、前記フォトダイオードで発生する光電荷のうち飽和前電荷を前記フォトダイオードに蓄積し、前記フォトダイオードから溢れる過飽和電荷を前記フローティングディフュージョンおよび前記蓄積容量素子において蓄積する工程において、前記転送トランジスタ部分のポテンシャルが、前記転送トランジスタを完全にオフとするレベルまたはそれよりも低いレベルになるように調節する。

【発明の効果】

【0035】

本発明の固体撮像装置によれば、光を受光して光電荷を生成および蓄積するフォトダイオードによる低照度撮像において高感度高S/N比を維持し、さらに蓄積容量素子によりフォトダイオードから溢れる光電荷を蓄積することで高照度撮像における撮像を行って広ダイナミックレンジ化することができる。

【0036】

本発明のラインセンサによれば、高感度高S/N比を維持したままで、広ダイナミックレンジ化することができる。

【0037】

本発明の光センサによれば、高感度高S/N比を維持したままで、広ダイナミックレンジ化することができる。

【0038】

本発明の固体撮像装置の動作方法によれば、高感度高S/N比を維持したままで、広ダイナミックレンジ化することができる。

【発明を実施するための最良の形態】

【0039】

以下に、本発明の固体撮像装置の実施の形態について、図面を参照して説明する。

【0040】

第1実施形態

本実施形態に係る固体撮像装置はCMOSイメージセンサであり、図1は1画素（ピクセル）分の等価回路図である。

各画素は、光を受光して光電荷を生成および蓄積するフォトダイオードPD、フォトダイオードPDからの光電荷を転送する転送トランジスタTr1、転送トランジスタTr1を通じて光電荷が転送されるフローティングディフュージョンFD、蓄積動作時に前記フォトダイオードから溢れる光電荷を蓄積する蓄積容量素子Cs、フローティングディフュージョンFDと蓄積容量素子Csのポテンシャルを結合または分割する蓄積トランジスタTr2、フローティングディフュージョンFDに接続して形成され、フローティングディフュージョンFD内の光電荷を排出するためのリセットトランジスタTr3、フローティングディフュージョンFD内の光電荷を電圧信号に増幅変換する増幅トランジスタTr4、および、増幅トランジスタに接続して形成され、画素を選択するための選択トランジスタTr5から構成されており、いわゆる5トランジスタ型のCMOSイメージセンサである。例えば、上記の5つのトランジスタはいずれもnチャネルMOSトランジスタからなる。

【0041】

本実施形態に係るCMOSイメージセンサは、上記の構成の画素がアレイ状に複数個集積されており、各画素において、転送トランジスタTr1、蓄積トランジスタTr2、リセットトランジスタTr3のゲート電極に、 ϕ_T 、 ϕ_S 、 ϕ_R の各駆動ラインが接続され、また、選択トランジスタTr5のゲート電極には行シフトレジスタから駆動される画素選択ラインSL（ ϕ_X ）が接続され、さらに、選択トランジスタTr5の出力側ソース・ドレインに出力ラインoutが接続され、列シフトレジスタにより制御されて出力される。

選択トランジスタTr5、駆動ライン ϕ_X については、画素の選択、非選択動作ができるように、フローティングディフュージョンFDの電圧を適宜な値に固定できればよいから、それらを省略することも可能である。

【0042】

図2(A)は、本実施形態に係るCMOSイメージセンサの各画素の一部（フォトダイオードPD、転送トランジスタTr1、フローティングディフュージョンFD、蓄積トランジスタTr2および蓄積容量素子Cs）に相当する模式的断面図である。

例えば、n型シリコン半導体基板（n-sub）10にp型ウェル（p-well）11が形成されており、各画素および蓄積容量素子Cs領域を区分するLOCOS法などによる素子分離絶縁膜（20, 21, 22）が形成され、さらに画素を分離する素子分離絶縁膜20の下方に相当するp型ウェル11中には、p⁺型分離領域12が形成されている。

p型ウェル11の中にn型半導体領域13が形成され、その表層にp⁺型半導体領域14が形成され、このpn接合により電荷転送埋め込み型のフォトダイオードPDが構成されている。pn接合に適当なバイアスを印加して発生させた空乏層中に光LTが入射すると、光電効果により光電荷が生じる。

【0043】

n型半導体領域13の端部においてp⁺型半導体領域14よりはみ出して形成された領域があり、この領域から所定の距離を離間してp型ウェル11の表層にフローティングディフュージョンFDとなるn⁺型半導体領域15が形成され、さらにこの領域から所定の距離を離間してp型ウェル11の表層にn⁺型半導体領域16が形成されている。

ここで、n型半導体領域13とn⁺型半導体領域15に係る領域において、p型ウェル11上面に酸化シリコンなどからなるゲート絶縁膜23を介してポリシリコンなどからなるゲート電極30が形成され、n型半導体領域13とn⁺型半導体領域15をソース・ドレインとし、p型ウェル11の表層にチャンネル形成領域を有する転送トランジスタTr1が構成されている。

また、n⁺型半導体領域15とn⁺型半導体領域16に係る領域において、p型ウェル11上面に酸化シリコンなどからなるゲート絶縁膜24を介してポリシリコンなどからなるゲート電極31が形成され、n⁺型半導体領域15とn⁺型半導体領域16をソース・ドレインとし、p型ウェル11の表層にチャンネル形成領域を有する蓄積トランジスタTr2が構成されている。

また、素子分離絶縁膜（21, 22）で区分された領域において、p型ウェル11の表層に下部電極となるp⁺型半導体領域17が形成されており、この上層に酸化シリコンなどからなる容量絶縁膜25を介してポリシリコンなどからなる上部電極32が形成されており、これらから蓄積容量素子Csが構成されている。

【0044】

転送トランジスタTr1、蓄積トランジスタTr2および蓄積容量素子Csを被覆して、酸化シリコンなどからなる絶縁膜が形成されており、n⁺型半導体領域15、n⁺型半導体領域16および上部電極32に達する開口部が形成され、n⁺型半導体領域15に接続する配線33と、n⁺型半導体領域16および上部電極32を接続する配線34がそれぞれ形成されている。

また、転送トランジスタTr1のゲート電極30には駆動ラインφ_Tが接続して設けられており、また、蓄積トランジスタTr2のゲート電極31には駆動ラインφ_Sが接続して設けられている。

【0045】

上記の他の要素であるリセットトランジスタTr3、増幅トランジスタTr4、選択トランジスタTr5、各駆動ライン（φ_T, φ_S, φ_R, φ_X）および出力ラインoutについては、例えば配線33が不図示の増幅トランジスタTr4に接続されるなど、図1の等価回路図に示す構成となるように、図2(A)に示す半導体基板10上の不図示の領域において構成されている。

【0046】

図2(B)は上記のフォトダイオードPD、転送トランジスタTr1、フローティングディフュージョンFD、蓄積トランジスタTr2および蓄積容量素子Csに相当する模式

的なポテンシャル図である。

フォトダイオードPDは相対的に浅いポテンシャルの容量 C_{PD} を構成し、フローティングディフュージョンFDおよび蓄積容量素子 C_S は相対的に深いポテンシャルの容量(C_{FD} 、 C_S)を構成する。

ここで、転送トランジスタ T_{r1} および蓄積トランジスタ T_{r2} はトランジスタのon/offに応じて2準位を取りうる。

【0047】

図1の等価回路図、図2(A)の断面図および図2(B)のポテンシャル図で説明される本実施形態のCMOSイメージセンサの駆動方法について説明する。

図3(A)は駆動ライン(ϕ_T 、 ϕ_S 、 ϕ_R)に印加する電圧を、on/offの2準位、 ϕ_T についてはさらに $(+\alpha)$ で示す準位を加えた3準位で示したタイミングチャートである。

駆動ライン ϕ_T に印加する電圧はON/OFFの2準位でもよいが、本例の如く3準位とした方がフォトダイオードPDから溢れ出た電荷をより効率的にフローティングディフュージョンFDと蓄積容量素子 C_S に捕獲して蓄積することができる。

図3(B)および(C)はそれぞれ上記のタイミングにおけるフォトダイオードPD、フローティングディフュージョンFDおよび蓄積容量素子 C_S から構成される容量(C_{PD} 、 C_{FD} 、 C_S)の電位(V_{PD} 、 V_{FD} 、 V_{CS})の変化を示すグラフであり、図3(B)はフォトダイオードPDで生成される光電子が C_{PD} を飽和させる量以下であるような光量のときであり、図3(C)は C_{PD} を飽和させる量以上であるような光量のときである。

【0048】

また、図4(A)～(D)および図5(E)～(H)はタイミングチャートの各タイミングにおけるポテンシャル図に相当する。

【0049】

まず、 ϕ_T をoff、 ϕ_S をonとした状態で ϕ_R をonとして、前フィールドで生じた光電荷を全て排出してリセットしておき、時刻 T_1 において次のフィールドが始まるとともに、 ϕ_R をoffとする。

このとき、図4(A)に示すように、 ϕ_S がonとなっているので C_{FD} と C_S が結合した状態となっており、リセット直後にはリセット動作に伴ういわゆる kTC ノイズが $C_{FD}+C_S$ に発生する。ここで、この $C_{FD}+C_S$ のリセットレベルの信号をノイズ N_2 として読み出す。

ノイズ N_2 を読み出して後述のフレームメモリ(記憶手段)に蓄積しておき、画像信号生成時にそのノイズ N_2 を利用する方法が最もS/N比をよくできる動作方法であるが、過飽和時には、飽和前電荷+過飽和電荷に比べてノイズ N_2 が十分に小さいので、ノイズ N_2 に代えて後述のノイズ N_1 を用いてもよい。また、現フレームのノイズ N_2 に代えて、次のフレームのノイズ N_2 を用いてもよい。

【0050】

次に、蓄積時間 T_{LT} の間、フォトダイオードPDにおいて生成される光電荷を蓄積する。このとき、 ϕ_T については $(+\alpha)$ 準位として C_{PD} と C_{FD} 間の障壁をわずかに下げておく。

図3(B)に示すように、光電荷は、まず C_{PD} に蓄積していき、これに伴って C_{PD} の電位 V_{PD} が徐々に下がっていく。光電子が C_{PD} を飽和させる量以下である場合には、 C_{PD} の電位 V_{PD} が変化するのみで、 C_{FD} と C_S の電位(V_{FD} 、 V_{CS})は変化しない。

一方、光電子が C_{PD} を飽和させる量以上である場合には、 ϕ_T を $(+\alpha)$ 準位としてわずかに下げられた障壁を乗り越えて光電荷が C_{PD} から溢れ、この画素の $C_{FD}+C_S$ に選択的に蓄積されていく。このとき、図3(C)に示すように、 C_{PD} が飽和する直前までは C_{PD} の電位 V_{PD} が徐々に下がり、 C_{FD} と C_S の電位(V_{FD} 、 V_{CS})は変化しないが、 C_{PD} が飽和する直後から C_{PD} の電位 V_{PD} が一定となり、 C_{FD} と C_S の電位(V_{FD} 、 V_{CS})が徐々に下がっていく。

【0051】

このようにして、光電子がフォトダイオードPDを飽和させる量以下である場合には C_{PD} のみに光電荷が蓄積し、光電子がフォトダイオードPDを飽和させる量以上である場合には C_{PD} に加えて C_{FD} と C_S にも光電荷が蓄積する。

図4（B）は、 C_{PD} が飽和しており、 C_{PD} に飽和前電荷 Q_B が蓄積し、 C_{FD} と C_S に過飽和電荷 Q_A が蓄積している状態を示す。

【0052】

次に、蓄積時間 T_{LT} の終了時に ϕ_T を（ $+\alpha$ ）準位からoffに戻し、さらに ϕ_S をoffとして、図4（C）に示すように、 C_{FD} と C_S のポテンシャルを分割する。

次に、 ϕ_R をonにして、図4（D）に示すように、 C_{FD} 中の光電荷を排出してリセットする。

【0053】

次に、時刻 T_2 において、 ϕ_R をoffとしてリセットを終了した直後には、図5（E）に示すように、kTCノイズが C_{FD} に新たに発生する。ここで、この C_{FD} のリセットレベルの信号をノイズ N_1 として読み出す。

【0054】

次に、 ϕ_T をonとして、図5（F）に示すように、 C_{PD} 中の飽和前電荷 Q_B を C_{FD} に転送する。ここで、 C_{PD} のポテンシャルが C_{FD} よりも浅く、転送トランジスタの準位が C_{PD} より深くなっているため、 C_{PD} 中にあった飽和前電荷 Q_B を全て C_{FD} に転送する完全電荷転送を実現できる。

ここで、時刻 T_3 において ϕ_T をoffに戻し、 C_{FD} に転送された飽和前電荷 Q_B から飽和前電荷信号 S_1 を読み出す。但し、ここでは C_{FD} ノイズが乗っているため、実際に読みだされるのは $S_1 + N_1$ となる。図5（F）は、 ϕ_T をoffに戻す前の状態を示している。

【0055】

次に、 ϕ_S をonとし、続いて ϕ_T をonとすることで C_{FD} と C_S のポテンシャルを結合させ、図5（G）に示すように、 C_{FD} 中の飽和前電荷 Q_B と C_S 中の過飽和電荷 Q_A を混合する。

ここで、時刻 T_4 において ϕ_T をoffに戻し、 $C_{FD} + C_S$ に広がる飽和前電荷 Q_B と過飽和電荷 Q_A から飽和前電荷信号 S_1 と過飽和電荷信号 S_2 の和の信号を読み出す。但し、ここでは $C_{FD} + C_S$ ノイズが乗っており、さらに $C_{FD} + C_S$ に広がった電荷から読み取っていることから、実際に読みだされるのは $S_1' + S_2' + N_2$ （ S_1' と S_2' はそれぞれ C_{FD} と C_S の容量比率によって縮小変調された S_1 と S_2 の値）となる。図5（G）は、 ϕ_T をoffに戻す前の状態を示している。

【0056】

次に、上記のように ϕ_T をoff、 ϕ_S をonとした状態で ϕ_R をonとして、このフィールドで生じた光電荷を全て排出してリセットしておき、次のフィールドへと移っていく。

【0057】

次に、上記の構成の画素をアレイ状に集積したCMOSイメージセンサ全体の回路構成について説明する。

図6は本実施形態のCMOSイメージセンサの全体の回路構成を示す等価回路図である。

複数個（図面上は代表して4個）の画素（Pixel）がアレイ状に配置されており、各画素（Pixel）には行シフトレジスタ SR^V で制御された駆動ライン（ ϕ_T 、 ϕ_S 、 ϕ_R 、 ϕ_X ）と、電源VDDおよびグラウンドGNDなどが接続されている。

各画素（Pixel）からは、列シフトレジスタ SR^H および駆動ライン（ ϕ_{S1+N1} 、 ϕ_{N1} 、 $\phi_{S1'+S2'+N2}$ 、 ϕ_{N2} ）で制御され、上述のように、飽和前電荷信号（ S_1 ）+ C_{FD} ノイズ（ N_1 ）、 C_{FD} ノイズ（ N_1 ）、変調された飽和前電荷信号（ S_1' ）+変調された過飽和電荷信号（ S_2' ）+ $C_{FD} + C_S$ ノイズ（ N_2 ）および $C_{FD} + C_S$ ノイズ（ N_2 ）の4つの値がそれぞれのタイミングで各出力ラインに出力される。

ここで、飽和前電荷信号 (S_1) + C_{FD} ノイズ (N_1) と C_{FD} ノイズ (N_1) の各出力端部分 CT_a は、以下に説明するようにこれらの差分を取ることから、差動アンプ DC 1 を含む回路 CT_b を CMOS イメージセンサチップ上に形成しておいてもよい。

【0058】

図7は、上記のように出力された飽和前電荷信号 (S_1) + C_{FD} ノイズ (N_1)、 C_{FD} ノイズ (N_1)、変調された飽和前電荷信号 (S_1') + 変調された過飽和電荷信号 (S_2') + $C_{FD} + C_S$ ノイズ (N_2) および $C_{FD} + C_S$ ノイズ (N_2) の4つの信号の処理を行う回路である。

上記の出力から、飽和前電荷信号 (S_1) + C_{FD} ノイズ (N_1) と C_{FD} ノイズ (N_1) を差動アンプ DC 1 に入力し、これらの差分を取ることで C_{FD} ノイズ (N_1) をキャンセルし、飽和前電荷信号 (S_1) が得られる。飽和前電荷信号 (S_1) は、必要に応じて設けられる A/D コンバータ ADC 1 によりデジタル化してもよく、ADC 1 を設けずにアナログ信号のままでもよい。

一方、変調された飽和前電荷信号 (S_1') + 変調された過飽和電荷信号 (S_2') + $C_{FD} + C_S$ ノイズ (N_2) と $C_{FD} + C_S$ ノイズ (N_2) を差動アンプ DC 2 に入力し、これらの差分を取って $C_{FD} + C_S$ ノイズ (N_2) をキャンセルし、さらにアンプ AP により C_{FD} と C_S の容量比率によって復元して飽和前電荷信号 (S_1) と同じゲインに調整することで、飽和前電荷信号と過飽和電荷信号の和 ($S_1 + S_2$) が得られる。 $S_1' + S_2'$ 、 N_2 信号と N_2 信号は、差動アンプ DC 2 に入力する前に、必要に応じて設けられる A/D コンバータ ADC 2, 3 によりそれぞれデジタル化してもよく、あるいは ADC 2, 3 を設けずにアナログ信号のまま差動アンプ DC 2 に入力してもよい。

【0059】

ここで、図3のタイミングチャートに示すように、 $C_{FD} + C_S$ ノイズ (N_2) は他の信号に比べて相対的に早く取得されるので、他の信号が取得されるまで記憶手段であるフレームメモリ FM に一旦格納しておき、他の信号が取得されるタイミングでフレームメモリ FM から読みだし、以下の処理を行うようにする。

【0060】

上記の変調された飽和前電荷信号 (S_1') + 変調された過飽和電荷信号 (S_2') の復元について説明する。

S_1' 、 S_2' 、 α (C_{FD} から $C_{FD} + C_S$ への電荷分配比) および β (C_S から $C_{FD} + C_S$ への電荷分配比) は以下の数式により表される。

【0061】

$$S_1' = S_1 \times \alpha \quad (1)$$

$$S_2' = S_2 \times \alpha \times \beta \quad (2)$$

$$\alpha = C_{FD} / (C_{FD} + C_S) \quad (3)$$

$$\beta = C_S / (C_{FD} + C_S) \quad (4)$$

【0062】

従って、 C_{FD} と C_S の値から上記式 (3) および (4) より α および β を求め、それを上記式 (1) および (2) に代入することで、 $S_1 + S_2$ に復元し、別途取得された S_1 と同じゲインに調整することができる。

【0063】

次に、図7に示すように、上記のように得られた S_1 と $S_1 + S_2$ のどちらか一方を選択して最終的な出力とする。

これには、まず、 S_1 をコンパレータ CP に入力し、予め設定した基準電位 V_0 と比較する。一方、 S_1 と $S_1 + S_2$ はセレクト SE に入力され、上記のコンパレータ CP の出力に応じて、 S_1 と $S_1 + S_2$ のどちらかが選択されて出力される。基準電位 V_0 はフォトダイオード PD の容量に応じて飽和する前の電位が選択され、例えば 0.3 V 程度とする。

即ち、 S_1 から V_0 を引いて負となれば、即ち、 S_1 が V_0 よりも小さければ、フォトダイオード PD は飽和していないと判断され、 S_1 が出力される。

逆に、 S_1 から V_0 を引いて正となれば、即ち、 S_1 が V_0 よりも大きければ、フォトダイ

オードPDは飽和していると判断され、 $S_1 + S_2$ が出力される。

【0064】

例えば、この出力までをCMOSイメージセンサチップCH上に形成し、差動アンプDC1およびフレームメモリFM以降の回路を外付けで実現する。また、上記のように差動アンプDC1についてはCMOSイメージセンサチップCH上に形成してもよい。

また、差動アンプDC1およびフレームメモリFM以降の回路については、取り扱うアナログデータが大きくなることから、差動アンプDC1およびフレームメモリFMに入力する前にA/D変換を行い、差動アンプDC1およびフレームメモリFM以降をデジタル処理することが好ましい。この場合、用いるA/Dコンバータの入力レンジに合わせて、予め不図示のアンプにより増幅しておくことが好ましい。

【0065】

上記のように、本実施形態のCMOSイメージセンサにおいては、1つの画素あたり、1フィールド毎に、飽和前電荷信号(S_1)と飽和前電荷信号と過飽和電荷信号の和($S_1 + S_2$)の2つの信号が得られることになり、実際にフォトダイオードPD(C_{PD})が飽和あるいはそれに近い状態であったかどうか判断して、 S_1 と $S_1 + S_2$ のどちらかを選択することになる。

【0066】

図8(A)は上記のようにして容量 C_{FD} を用いたときに得られる電荷数を相対光量に対してプロットした図であり、これは信号 S_1 に相当する。一方、図8(B)は容量 $C_{FD} + C_S$ を用いたときに得られる電荷数を相対光量に対してプロットした図であり、これは信号 $S_1 + S_2$ に相当する。

例えば、基準電位 V_0 (例えば0.3V)として、これより低照度側では図8(A)で示される信号 S_1 を用い、高照度側では図8(B)で示される信号 $S_1 + S_2$ を用いる。

このとき、両グラフにおいて低照度領域にノイズNoiseが現れるが、これは信号 S_1 の方が信号 $S_1 + S_2$ よりも小さく、低照度側では信号 S_1 を採用するのでノイズレベルを高くしてしまうという問題がない。

また、 C_{FD} の飽和電位は画素毎にはらつきを有しており、電荷数で $1 \times 10^4 \sim 2 \times 10^4$ 程度ではらついているが、この領域に入る前に $C_{FD} + C_S$ を用いた信号 $S_1 + S_2$ に切り換えてしまうので、 C_{FD} の飽和電位のばらつきの影響を受けないで済むという利点がある。

また、例えば基準電位 V_0 がばらついても、基準電位の近傍一帯で C_{FD} の電荷数と $C_{FD} + C_S$ の電荷数は一致するので、基準電位付近においては、信号 S_1 を用いても、信号 $S_1 + S_2$ を用いても、問題はない。

【0067】

図8(C)は、図8(A)に示す容量 C_{FD} を用いたときのフローティングディフュージョンの電圧を相対光量に対してプロットしたグラフ(C_{FD} と表示)と、図8(B)に示す容量 $C_{FD} + C_S$ を用いたときのフローティングディフュージョンの電圧を相対光量に対してプロットしたグラフ($C_{FD} + C_S$ と表示)を重ねて示した図である。それぞれ、図8(A)と図8(B)に示すグラフを電荷数から電圧に変換したものに対応する。

ただし、容量 $C_{FD} + C_S$ を用いると、同じ光量を照射して同じ電荷数を得ても C_S の分容量値が大きくなっているため、変換される電圧はその分低くなる。

例えば、上記のように基準電位0.3Vを超えるまでの低照度側では C_{FD} で表示したグラフの信号 S_1 を用い、0.3Vを超える高照度側では、 $C_{FD} + C_S$ と表示したグラフの信号 $S_1 + S_2$ に切り替えて用いる。

【0068】

本実施形態のCMOSイメージセンサの構成と上記の動作方法によれば、それぞれノイズをキャンセルして得られた飽和前電荷信号(S_1)と飽和前電荷信号と過飽和電荷信号の和($S_1 + S_2$)の2つの信号から、フォトダイオードPD(C_{PD})が飽和していなければ飽和前電荷信号(S_1)を採用し、飽和していれば飽和前電荷信号と過飽和電荷信号の和($S_1 + S_2$)を採用する。

このように、フォトダイオード P D が飽和していない低照度撮像においてはノイズをキャンセルして得た飽和前電荷信号 (S_1) により高感度、高 S/N 比を維持することができ、さらにフォトダイオード P D が飽和した高照度撮像においては、フォトダイオードから溢れる光電荷を蓄積容量素子により蓄積してこれを取り入れ、上記同様にノイズをキャンセルして得た信号 (飽和前電荷信号と過飽和電荷信号の和 ($S_1 + S_2$)) により、高 S/N を維持して、高照度側に広ダイナミックレンジ化を実現できる。

【0069】

本実施形態の CMOS イメージセンサは、上記のように低照度側の感度を下げずに高照度側の感度を上げて広ダイナミックレンジ化を図るほか、電源電圧を通常用いられている範囲から上げないので将来のイメージセンサの微細化に対応することができる。

素子の追加は極小に抑えられており、画素サイズの拡大を招くことはない。

さらに、従来の広ダイナミックレンジ化を実現するイメージセンサのように高照度側と低照度側で蓄積時間を分割しない、即ち、フレームをまたがずに同一の蓄積時間に蓄積しているので、動画の撮像にも対応することができる。

また、フローティングディフュージョン F D のリーク電流 (F D リーク) についても、本実施形態のイメージセンサでは $C_{FD} + C_S$ の最小信号が過飽和電荷 + フォトダイオード P D からの飽和電荷となって F D リークの電荷よりも大きな電荷量を取り扱うようになるので、F D リークの影響を受け難いという利点がある。

【0070】

第2実施形態

本実施形態は、第1実施形態に係る CMOS イメージセンサの画素の回路構成を変形した形態である。

図9(A)は本実施形態の CMOS イメージセンサの1例の1画素(ピクセル)分の等価回路図である。実質的に図1の等価回路図と同様であるが、増幅トランジスタ T r 4 および選択トランジスタ T r 5 の接続が異なり、選択トランジスタ T r 5 を増幅トランジスタ T r 4 の上段側に配置し、増幅トランジスタ T r 4 の出力を出力ライン o u t に接続した形態である。

このような接続とすることで、増幅トランジスタ T r 4 のアンプのゲインを上げることが可能となる。

【0071】

また、図9(B)は本実施形態の CMOS イメージセンサの他の例の1画素分の等価回路図である。実質的に図1の等価回路図と同様であるが、転送トランジスタ T r 1、蓄積トランジスタ T r 2、リセットトランジスタ T r 3、増幅トランジスタ T r 4、選択トランジスタ T r 5 の5つのトランジスタについて、nチャネル MOS トランジスタを p チャネル MOS トランジスタで置き換えた構成である。

これにより、ホールの完全電荷転送型のイメージセンサを実現でき、例えばシリコン基板として p 型を用いた場合などに好適である。

【0072】

他の構成は第1実施形態に係る CMOS イメージセンサと同様の構成とすることができる。

本実施形態に係る CMOS イメージセンサによれば、第1実施形態と同様に、フォトダイオード P D が飽和していない低照度撮像においてはノイズをキャンセルして得た飽和前電荷信号により高感度、高 S/N 比を維持することができ、さらにフォトダイオード P D が飽和した高照度撮像においては、フォトダイオードから溢れる光電荷を蓄積容量素子により蓄積してこれを取り入れ、上記同様にノイズをキャンセルして得た信号 (飽和前電荷信号と過飽和電荷信号の和) により、高 S/N を維持して、高照度側に広ダイナミックレンジ化を実現できる。

【0073】

第3実施形態

本実施形態に係る固体撮像装置は CCD イメージセンサである。

図 1 0 (A) は本実施形態の C C D イメージセンサの 1 例の 1 画素分の等価回路図である。

即ち、 ϕ_{V1} と ϕ_{V2} の 2 相駆動する第 1 の電荷結合転送路 C C D 1 と第 2 の電荷結合転送路 C C D 2 が垂直方向に延伸して配置され、フォトダイオード P D は第 1 の電荷結合転送路 C C D 1 に直接接続され、一方、第 2 の電荷結合転送路 C C D 2 に転送トランジスタ T r 1 を介して接続されている。

ここで、第 2 の電荷結合転送路 C C D 2 は、フォトダイオード P D が飽和したときにフォトダイオード P D から溢れる光電荷を蓄積する蓄積容量素子 C_s として機能する。

上記の構成の C C D イメージセンサにおいては、低照度側の飽和前信号を第 1 の電荷結合転送路 C C D 1 により転送して C C D の駆動により読み出し、一方、高照度側の過飽和信号を蓄積容量素子 C_s で蓄積して、蓄積容量素子 C_s が構成する第 2 の電荷結合転送路 C C D 2 の駆動によりそのまま読み出すものである。

低照度側の飽和前信号と、フォトダイオードから溢れる光電荷を蓄積容量素子により蓄積した高照度側の過飽和信号をそれぞれ読み出すことで、高照度側に広ダイナミックレンジ化を実現できる。

【 0 0 7 4 】

図 1 0 (B) は本実施形態の C C D イメージセンサの他の例の 1 画素分の等価回路図である。

第 1 実施形態の C M O S イメージセンサにおいて、低照度側の飽和前信号を第 1 の電荷結合転送路 C C D 1 により転送して C C D の駆動により読み出す構成としたものに相当する。高照度側の過飽和信号の読み出しは、第 1 実施形態の C M O S イメージセンサにおける信号読み出しと同様に行うことができる。

この場合、飽和前信号と過飽和信号を混合する工程が不要となるので、フローティングディフュージョン F D および蓄積容量素子 C_s の間の蓄積トランジスタ T r 2 を設けなくてもよくなっている。

低照度側の飽和前信号と、フォトダイオードから溢れる光電荷を蓄積容量素子により蓄積した高照度側の過飽和信号をそれぞれ読み出すことで、高照度側に広ダイナミックレンジ化を実現できる。

【 0 0 7 5 】

第 4 実施形態

本実施形態は、第 1 実施形態に係る C M O S イメージセンサの画素の回路構成を変形した形態である。

図 1 1 (A) は本実施形態の C M O S イメージセンサの 1 例の 1 画素分の等価回路図である。実質的に図 1 の等価回路図と同様であるが、蓄積容量素子 C_s に蓄積された光電荷を対数変換して読み出す対数変換回路を構成するトランジスタ T r 6 ~ 8 が追加された形態である。

このように対数変換しながら出力することで、高照度撮像に対応でき、広ダイナミックレンジ化を達成できる。特に、フォトダイオード P D の飽和近傍においては、飽和前信号と過飽和信号を混合することにより S / N を向上させることができる。

【 0 0 7 6 】

図 1 1 (B) は本実施形態の C M O S イメージセンサの他の例の 1 画素分の等価回路図である。

フォトダイオード P D から溢れる光電荷を対数変換して蓄積容量素子 C_s に蓄積する対数変換回路を構成するトランジスタ T r 6 , 7 , 9 , 1 0 が追加された形態である。

このように対数変換しながら出力することで、高照度撮像に対応でき、広ダイナミックレンジ化を達成できる。特に、対数変換して蓄積容量素子 C_s に蓄積するので、蓄積容量素子 C_s が小さくても広ダイナミックレンジ化に寄与することができる。

【 0 0 7 7 】

第 5 実施形態

本実施形態に係る固体撮像装置は第 1 実施形態と同様の C M O S イメージセンサであり

、図12は1画素（ピクセル）分の等価回路図である。

各画素は、光を受光して光電荷を生成および蓄積するフォトダイオードPD、フォトダイオードPDからの光電荷を転送する転送トランジスタTr1、転送トランジスタTr1を通じて光電荷が転送されるフローティングディフュージョンFD、蓄積動作時に前記フォトダイオードから溢れる光電荷を蓄積する蓄積容量素子Cs、フローティングディフュージョンFDと蓄積容量素子Csのポテンシャルを結合または分割する蓄積トランジスタTr2、蓄積容量素子Csに直接接続し、蓄積トランジスタTr2を介してフローティングディフュージョンFDに接続して形成され、蓄積容量素子CsおよびフローティングディフュージョンFD内の光電荷を排出するためのリセットトランジスタTr3、フローティングディフュージョンFD内の光電荷を電圧信号に増幅変換する増幅トランジスタTr4、および、増幅トランジスタに接続して形成され、画素を選択するための選択トランジスタTr5から構成されており、いわゆる5トランジスタ型のCMOSイメージセンサである。例えば、上記の5つのトランジスタはいずれもnチャネルMOSトランジスタからなる。

【0078】

本実施形態に係るCMOSイメージセンサは、上記の構成の画素がアレイ状に複数個集積されており、各画素において、転送トランジスタTr1、蓄積トランジスタTr2、リセットトランジスタTr3のゲート電極に、 ϕ_T 、 ϕ_S 、 ϕ_R の各駆動ラインが接続され、また、選択トランジスタTr5のゲート電極には行シフトレジスタから駆動される画素選択ラインSL（ ϕ_X ）が接続され、さらに、選択トランジスタTr5の出力側ソース・ドレインに出力ラインoutが接続され、列シフトレジスタにより制御されて出力される。

選択トランジスタTr5、駆動ライン ϕ_X については、画素の選択、非選択動作ができるように、フローティングディフュージョンFDの電圧を適宜な値に固定できればよいから、それらを省略することも可能である。

【0079】

図13は上記のフォトダイオードPD、転送トランジスタTr1、フローティングディフュージョンFD、蓄積トランジスタTr2および蓄積容量素子Csに相当する模式的なポテンシャル図である。

フォトダイオードPDは相対的に浅いポテンシャルの容量 C_{PD} を構成し、フローティングディフュージョンFDおよび蓄積容量素子Csは相対的に深いポテンシャルの容量（ C_{FD} 、 C_S ）を構成する。

ここで、転送トランジスタTr1および蓄積トランジスタTr2はトランジスタのon/offに応じて2準位を取りうる。

【0080】

図12の等価回路図と図13のポテンシャル図で説明される本実施形態のCMOSイメージセンサの駆動方法について説明する。

図14（A）は、駆動ライン（ ϕ_T 、 ϕ_S 、 ϕ_R ）に印加する電圧を、on/offの2準位、 ϕ_T についてはさらに（ $+\alpha$ ）で示す準位を加えた3準位で示したタイミングチャートである。

駆動ライン ϕ_T に印加する電圧はON/OFFの2準位でもよいが、本例の如く3準位とした方がフォトダイオードPDから溢れ出た電荷をより効率的にフローティングディフュージョンFDと蓄積容量素子Csに捕獲して蓄積することができる。

【0081】

また、図15（A）～（C）および図16（D）～（F）はタイミングチャートの各タイミングにおけるポテンシャル図に相当する。

【0082】

まず、1つのフィールド（1F）の始まりにおいて、 ϕ_T をoff、 ϕ_S をonとした状態で ϕ_R をonとして、前フィールドで生じた光電荷を全て排出してリセットし、時刻T₁において ϕ_R をoffとする。

このとき、図15（A）に示すように、 ϕ_S がonとなっているので C_{FD} と C_S が結合し

た状態となっており、リセット直後にはリセット動作に伴ういわゆる kT/C ノイズが $C_{FD} + C_S$ に発生する。ここで、この $C_{FD} + C_S$ のリセットレベルの信号をノイズ N_2 として読み出す。

【0083】

次に、蓄積時間 T_{LT} の間、フォトダイオード PD において生成される光電荷を蓄積する。このとき、 ϕ_T については $(+\alpha)$ 準位として C_{PD} と C_{FD} 間の障壁をわずかに下げておく。

電荷の蓄積が開始すると、光電荷はまず C_{PD} に蓄積していき、光電子が C_{PD} を飽和させる量以上である場合には、図15 (B) に示すように、 ϕ_T を $(+\alpha)$ 準位としてわずかに下げられた障壁を乗り越えて光電荷が C_{PD} から溢れ、この画素の $C_{FD} + C_S$ に選択的に蓄積されていく。

このようにして、光電子がフォトダイオード PD を飽和させる量以下である場合には C_{PD} のみに光電荷が蓄積し、光電子がフォトダイオード PD を飽和させる量以上である場合には C_{PD} に加えて C_{FD} と C_S にも光電荷が蓄積する。

図15 (B) は、 C_{PD} が飽和しており、 C_{PD} に飽和前電荷 Q_B が蓄積し、 C_{FD} と C_S に過飽和電荷 Q_A が蓄積している状態を示す。

【0084】

次に、蓄積時間 T_{LT} の終了時に ϕ_T を $(+\alpha)$ 準位から off に戻し、さらに時刻 T_2 において、 ϕ_S を off として、図15 (C) に示すように、 C_{FD} と C_S のポテンシャルを分割する。このとき、過飽和電荷 Q_A が C_{FD} と C_S の容量比に応じて、 Q_{A1} と Q_{A2} に分割される。ここで、過飽和電荷の一部 Q_{A1} を保持している C_{FD} のレベルの信号をノイズ N_1 として読み出す。

【0085】

次に、 ϕ_T を on として、図16 (D) に示すように、 C_{PD} 中の飽和前電荷 Q_B を C_{FD} に転送し、元から C_{FD} に保持されていた過飽和電荷の一部 Q_{A1} と混合する。

ここで、 C_{PD} のポテンシャルが C_{FD} よりも浅く、転送トランジスタの準位が C_{PD} より深くなっているため、 C_{PD} 中にあった飽和前電荷 Q_B を全て C_{FD} に転送する完全電荷転送を実現できる。

次に、時刻 T_3 において ϕ_T を off に戻し、 C_{FD} に転送された飽和前電荷 Q_B から飽和前電荷信号 S_1 を読み出す。但し、 C_{FD} には飽和前電荷 Q_B と過飽和電荷の一部 Q_{A1} の和の電荷が存在しており、実際に読みだされるのは $S_1 + N_1$ となる。図16 (D) は、 ϕ_T を off に戻す前の状態を示している。

【0086】

次に、 ϕ_S を on とし、続いて ϕ_T を on とすることで C_{FD} と C_S のポテンシャルを結合させ、図16 (E) に示すように、 C_{FD} 中の飽和前電荷 Q_B と過飽和電荷の一部 Q_{A1} の和の電荷と、 C_S 中の過飽和電荷の一部 Q_{A2} を混合する。過飽和電荷の一部 Q_{A1} と過飽和電荷の一部 Q_{A2} との和は分割前の過飽和電荷 Q_A に相当するので、 C_{FD} と C_S の結合したポテンシャル中に飽和前電荷 Q_B と過飽和電荷 Q_A の和の信号が保持された状態となる。

ここで、時刻 T_4 において ϕ_T を off に戻し、 $C_{FD} + C_S$ に広がる飽和前電荷 Q_B と過飽和電荷 Q_A から飽和前電荷信号 S_1 と過飽和電荷信号 S_2 の和の信号を読み出す。但し、ここでは $C_{FD} + C_S$ ノイズが乗っており、さらに $C_{FD} + C_S$ に広がった電荷から読み取っていることから、実際に読みだされるのは $S_1' + S_2' + N_2$ (S_1' と S_2' はそれぞれ C_{FD} と C_S の容量比率によって縮小変調された S_1 と S_2 の値) となる。図16 (E) は、 ϕ_T を off に戻す前の状態を示している。

【0087】

以上で1つのフィールド (1F) が終了し、次のフィールドに移って、 ϕ_T を off 、 ϕ_S を on とした状態で ϕ_R を on として、図16 (F) に示すように、前のフィールドで生じた光電荷を全て排出してリセットする。

【0088】

上記のようにして得た4つの信号 N_2 、 N_1 、 $S_1 + N_1$ 、 $S_1' + S_2' + N_2$ から、第1

実施形態と同様の手順により、飽和前電荷信号 (S_1) と飽和前電荷信号と過飽和電荷信号の和 ($S_1 + S_2$) を得る。飽和前であるか飽和後であるかによって、いずれかの信号を選択する。

【0089】

上記の説明においては、ノイズ N_2 を読み出してフレームメモリに蓄積しておき、画像信号生成時にそのノイズ N_2 を利用しているが、過飽和時には飽和前電荷+過飽和電荷に比べてノイズ N_2 が十分に小さいので、現フレームのノイズ N_2 に代えて、次のフレームのノイズ N_2 を用いてもよい。

【0090】

また、図14(B)に示すタイミングチャートに従って駆動させることができる。即ち、図14(A)のタイミングチャートに対して、各フィールドのリセット動作期間中に、 ϕ_T を on とする期間を設けていることが異なる。この場合、 C_{PD} 中の電荷まで確実にリセットすることができる。

上記の他、全体の回路構成などは、第1実施形態と同様の構成である。

【0091】

図17は本実施形態のCMOS固体撮像装置において、プレーナ型蓄積容量素子を採用した場合の約1画素(ピクセル)分のレイアウト図の一例である。

フォトダイオードPD、蓄積容量素子 C_S および5つのトランジスタ $Tr_1 \sim Tr_5$ を図のように配置し、さらにトランジスタ Tr_1 とトランジスタ Tr_2 の間のフローティングディフュージョンFDとトランジスタ Tr_4 のゲートを配線 W_1 で接続し、さらにトランジスタ Tr_2 とトランジスタ Tr_3 の間の拡散層と蓄積容量素子 C_S の上部電極を配線 W_2 で接続して、図13に示す本実施形態の等価回路図に相当する回路を実現することができる。

このレイアウトにおいて、転送トランジスタ Tr_1 のチャンネルの幅は、フォトダイオードPD側で広く、フローティングディフュージョンFD側で狭くなるように形成されている。このため、フォトダイオードから溢れた電荷を効率よくフローティングディフュージョン側にオーバーフローさせることができる。一方、フローティングディフュージョンFD側で狭くすることで、フローティングディフュージョンFDの容量を小さくとことができ、フローティングディフュージョンFD中に蓄積した電荷に対する電位の変動幅を大きくとることができる。

【0092】

本実施形態のCMOSイメージセンサによれば、第1実施形態と同様に、それぞれノイズをキャンセルして得られた飽和前電荷信号 (S_1) と飽和前電荷信号と過飽和電荷信号の和 ($S_1 + S_2$) の2つの信号から、フォトダイオードPD (C_{PD}) が飽和していなければ飽和前電荷信号 (S_1) を採用し、飽和していれば飽和前電荷信号と過飽和電荷信号の和 ($S_1 + S_2$) を採用する。

このように、フォトダイオードPDが飽和していない低照度撮像においてはノイズをキャンセルして得た飽和前電荷信号 (S_1) により高感度、高 S/N 比を維持することができる。さらにフォトダイオードPDが飽和した高照度撮像においては、フォトダイオードから溢れる光電荷を蓄積容量素子により蓄積してこれを取り入れ、上記同様にノイズをキャンセルして得た信号(飽和前電荷信号と過飽和電荷信号の和 ($S_1 + S_2$)) により、高 S/N を維持して、高照度側に広ダイナミックレンジ化を実現できる。

【0093】

本実施形態のCMOSイメージセンサは、上記のように低照度側の感度を下げずに高照度側の感度を上げて広ダイナミックレンジ化を図るほか、電源電圧を通常用いられている範囲から上げないので将来のイメージセンサの微細化に対応することができる。

素子の追加は極小に抑えられており、画素サイズの拡大を招くことはない。

さらに、従来の広ダイナミックレンジ化を実現するイメージセンサのように高照度側と低照度側で蓄積時間を分割しない、即ち、フレームをまたがずに同一の蓄積時間に蓄積しているので、動画の撮像にも対応することができる。

また、フローティングディフュージョンF Dのリーク電流（F Dリーク）についても、本実施形態のイメージセンサでは $C_{FD} + C_S$ の最小信号が過飽和電荷＋フォトダイオードP Dからの飽和電荷となってF Dリークの電荷よりも大きな電荷量を取り扱うようになるので、F Dリークの影響を受け難いという利点がある。

本実施形態のCMOSイメージセンサは、第1実施形態と同様に、P Dの飽和バラツキの影響を受けない。

【0094】

第6実施形態

本実施形態のCMOSセンサは、上記の第1～第5実施形態のCMOSセンサにおいて、下記の構成とすることによりフローティングディフュージョンのリークを抑制することができるCMOSセンサである。

図18（A）は、本実施形態に係るCMOSセンサのフローティングディフュージョン部分を詳細に示す断面図である。

p型ウェル（p-well）11の活性領域が、LOCOS法による酸化シリコンの素子分離絶縁膜20で分離されており、素子分離絶縁膜20の下方に相当するp型ウェル11中には、 p^+ 型分離領域12が形成されている。また、バースピークと呼ばれるLOCOS素子分離絶縁膜20の端部20aの下方にも、さらなる p^+ 型分離領域12aが形成されている。

素子分離絶縁膜20の端部20aから所定の距離を離間して、p型ウェル11の表面に酸化シリコンならなるゲート絶縁膜23を介してポリシリコンのゲート電極30が形成されている。ゲート電極の側部には、例えば窒化シリコンのサイドウォールスペーサ30aが形成されている。

【0095】

ゲート電極30と素子分離絶縁膜20の間のp型ウェル11の表層に、フローティングディフュージョンF Dとなる n^+ 型半導体領域15が形成されている。 n^+ 型半導体領域15は低濃度不純物領域15aと高濃度不純物領域15bからなる。ここで、高濃度不純物領域15bの端部から低濃度不純物領域15aがはみだしている、いわゆるLDD（lightly Doped Drain）構造となっており、素子分離絶縁膜20の端部20a近傍およびゲート電極30近傍において、低濃度不純物領域15aが素子分離絶縁膜20の端部20aおよびゲート電極30側に、より広く形成されている。

上記のゲート電極30と n^+ 型半導体領域15などからなるソース・ドレインなどから、p型ウェル11の表層にチャネル形成領域を有する転送トランジスタTr1が構成されている。

【0096】

ゲート電極30、 n^+ 型半導体領域15および素子分離絶縁膜20などを被覆して酸化シリコンからなる層間絶縁膜が形成されており、 n^+ 型半導体領域15に達するコンタクトが開口されており、コンタクトの底部である n^+ 型半導体領域15の上層に、TiSi層（あるいはTi層）41とTiN層42が積層され、その上層にコンタクトを埋め込んでタングステンプラグ43が形成されている。さらにタングステンプラグ43に接続して層間絶縁膜の上層に上層配線44が形成されている。上層配線44は、 n^+ 型半導体領域15を覆うような面積で形成されており、また、コンタクトで接続されて n^+ 型半導体領域15と同じ電位となっている。

【0097】

図18（A）に示す構造を有するCMOSセンサでは、LOCOS素子分離絶縁膜20のバースピークの下部にも p^+ 型分離領域12aが形成されていることや、 n^+ 型半導体領域15がLDD構造となっていて、 n^+ 型半導体領域15の端部、特にストレスの大きいLOCOS素子分離絶縁膜20のバースピーク近傍での電界集中が緩和されていることから、 n^+ 型半導体領域15（フローティングディフュージョンF D）におけるリークを抑制することができる。

さらに、p型ウェル11（基板）の表面のストレスを発生させるTiSi層あるいはTi

i 層がコンタクト内のみに形成されているので、ストレスを抑制し、これによってもリークを抑制することができる。

また、 n^+ 型半導体領域 15（フローティングディフュージョン F D）を覆うように、同電位の上層配線 44 が形成されており、上層配線 44 によるシールド効果により、リークの原因となる n^+ 型半導体領域 15（フローティングディフュージョン F D）の表面の空乏化を抑制することができる。

上記のように、 n^+ 型半導体領域 15（フローティングディフュージョン F D）のリークを大きく抑制することができる構造である。

【0098】

図 18（B）および図 18（C）は、図 18（A）に示す CMOS センサの製造工程を示す断面図である。

図 18（B）に示すように、p 型ウェル 11 の素子分離領域に、チャネルストップとなる p^+ 型分離領域 12 と LOCOS 法により素子分離絶縁膜 20 を形成し、さらに素子分離絶縁膜 20 のバースピーク下部においても p^+ 型分離領域 12a を形成する。

次に、例えば熱酸化法により p 型ウェル 11 の表面にゲート絶縁膜 23 を形成し、ゲート電極 30 をパターン形成して、ゲート電極および素子分離絶縁膜 20 のバースピークにより端部が規定されるように、n 型の導電性不純物 DP 1 をイオン注入し、低濃度不純物領域 15a を形成する。

【0099】

次に、図 18（C）に示すように、例えば CVD（化学気相成長）法などにより全面に窒化シリコンを成膜し、エッチバックをすることで、ゲート電極 30 の側部にサイドウォールスペース 30a を形成する。また、バースピークからある程度はみ出すようにして素子分離絶縁膜 20 を被覆するようなパターンでレジスト膜 PR を形成する。

上記のサイドウォールスペース 30a とレジスト膜 PR により端部が規定されるように、n 型の導電性不純物 DP 2 をイオン注入し、高濃度不純物領域 15b を形成する。

上記の工程により、ゲート電極側だけでなく、LOCOS 素子分離絶縁膜 20 側においても LDD 構造とすることができる。

【0100】

次に、例えば CVD 法により全面に酸化シリコンを成膜して層間絶縁膜を形成し、得られた層間絶縁膜に対して、 n^+ 型半導体領域 15 に達するコンタクトを開口し、例えばスパッタリング法などにより、コンタクト底部に TiSi 層（あるいは Ti 層）41 を形成し、さらに TiN 層 42 を形成し、さらにタンゲステンプラグ 43 をコンタクトに埋め込んで形成する。さらに、例えば金属材料により、 n^+ 型半導体領域 15 を覆うような広さで上層配線 44 を形成し、図 18（A）に示す構造とする。

【0101】

本実施形態の CMOS センサによれば、上記の各実施形態と同様に、高照度側に広ダイナミックレンジ化を実現できることに加えて、フローティングディフュージョンのリーク電流を抑制することが可能となっている。

【0102】

第 7 実施形態

本実施形態に係る CMOS センサは、上記の第 1～第 6 実施形態の CMOS センサにおいて、駆動ライン ϕ_T に印加する電圧を図 3（A）に示すような（ $+\alpha$ ）で示す準位とすることなく、on/off の 2 準位のみで、電荷の蓄積時においてフォトダイオードから溢れる電荷をフローティングディフュージョンへとスムーズに移動させることができる構造とした CMOS センサである。

【0103】

図 19（A）および図 19（B）に示す CMOS センサは、転送トランジスタが、転送トランジスタを構成する基板の表面または表面近傍から所定の深さまで形成された転送トランジスタのチャネルと同じ導電型の半導体層を有する埋め込みチャネル型である。

【0104】

図19(A)は、本実施形態に係るCMOSセンサの一例の断面図であり、フォトダイオードPD、転送トランジスタTr1、フローティングディフュージョンFD、蓄積トランジスタTr2の部分に相当する。蓄積トランジスタTr2のソースドレインとなるn⁺型半導体領域16は、不図示の蓄積容量素子C_sに接続されている。

ここで、転送トランジスタTr1のゲート電極30の下部における基板の表面から所定の深さまで、n型半導体領域13とn⁺型半導体領域15に一部重なるように、n型半導体領域50が形成されている。n型半導体領域50は、n型半導体領域13およびn⁺型半導体領域15よりも不純物の実効濃度が低いn型の領域である。

上記の構造においては、転送トランジスタTr1が埋め込みチャンネル化されており、これはフォトダイオードとフローティングディフュージョン間のポテンシャル障壁を下げることに相当する。従って、駆動ラインφ_Tに図3(A)の(+α)で示す電位を印加しなくても、同等のポテンシャルを得ることができ、電荷の蓄積時においてフォトダイオードから溢れる電荷をフローティングディフュージョンへとスムーズに移動させることができる。

【0105】

図19(B)は、本実施形態に係るCMOSセンサの一例の断面図であり、図19(A)のCMOSセンサと同様に、転送トランジスタTr1のゲート電極30の下部における基板の表面から所定の深さまで、n型半導体領域13とn⁺型半導体領域15に一部重なるように、n型半導体領域50が形成されている。さらに転送トランジスタTr1のゲート電極30の下部領域まで、フォトダイオードPDの表層に形成されているp⁺型半導体領域14が延伸して形成されている。

n型半導体領域50とp⁺型半導体領域14が形成されていることにより転送トランジスタTr1が埋め込みチャンネル化されており、これはフォトダイオードとフローティングディフュージョン間のポテンシャル障壁を下げることに相当する。従って、駆動ラインφ_Tに図3(A)の(+α)で示す電位を印加しなくても、同等のポテンシャルを得ることができ、電荷の蓄積時においてフォトダイオードから溢れる電荷をフローティングディフュージョンへとスムーズに移動させることができる。

【0106】

図20(A)および図20(B)に示すCMOSセンサは、転送トランジスタが、転送トランジスタを構成する基板の所定の深さにおいて形成され、転送トランジスタのチャンネルと同じ導電型であり、転送トランジスタのパンチスルーの障壁を低減する半導体層を有する構成である。

【0107】

図20(A)は、本実施形態に係るCMOSセンサの一例の断面図であり、フォトダイオードPD、転送トランジスタTr1、フローティングディフュージョンFD、蓄積トランジスタTr2の部分に相当する。蓄積トランジスタTr2のソースドレインとなるn⁺型半導体領域16は、不図示の蓄積容量素子C_sに接続されている。

ここで、転送トランジスタTr1のゲート電極30の下部における所定の深さの領域において、n型半導体領域13に接続して、n型半導体領域51が形成されている。

上記の構造は、転送トランジスタTr1のパンチスルーの障壁を低くしていることに相当する。このn型半導体領域51からフローティングディフュージョンFDへの斜め方向のパンチスルーのルートが、フォトダイオードからフローティングディフュージョンFDへのオーバーフローパスPAとなり、駆動ラインφ_Tに図3(A)の(+α)で示す電位を印加しなくても、電荷の蓄積時においてフォトダイオードから溢れる電荷をパンチスルーさせてフローティングディフュージョンへとスムーズに移動させることができる。

【0108】

図20(B)は、本実施形態に係るCMOSセンサの一例の断面図であり、図20(A)のCMOSセンサと同様に、転送トランジスタTr1のゲート電極30の下部における所定の深さの領域において、n型半導体領域13に接続して、n型半導体領域52が形成されている。本実施形態においては、n型半導体領域52が、さらにフローティングディ

フュージョンの下方にまで延伸して形成されている。

上記の構造は、転送トランジスタ T_{r1} のパンチスルーの障壁を低くしていることに相当する。この n 型半導体領域 52 からフローティングディフュージョン F_D へのほぼ垂直方向のパンチスルーのルートが、フォトダイオードからフローティングディフュージョン F_D へのオーバーフローパス P_A となり、駆動ライン ϕ_T に図 3 (A) の $(+\alpha)$ で示す電位を印加しなくても、電荷の蓄積時においてフォトダイオードから溢れる電荷をパンチスルーさせてフローティングディフュージョンへとスムーズに移動させることができる。

【0109】

第 8 実施形態

本実施形態は、上記の各実施形態において、フォトダイオードから溢れる光電荷を蓄積するための蓄積容量素子の形態の変形例を示す。

【0110】

蓄積容量素子として、ジャンクション型蓄積容量素子と考えた場合、条件を考慮しても $1\ \mu\text{m}^2$ あたりの静電容量は $0.3 \sim 3\ \text{fF}/\mu\text{m}^2$ 程度であり、面積効率はあまりよくなく、ダイナミックレンジを広くするには困難が伴う。

【0111】

一方、プレーナ型蓄積容量素子では、容量絶縁膜の絶縁膜リーク電流を抑制するために絶縁膜電界を $3 \sim 4\ \text{MV}/\text{cm}$ 以下、最大印加電圧が $2.5 \sim 3\ \text{V}$ 、容量絶縁膜厚が $7\ \text{nm}$ 程度と設定したとき、容量絶縁膜の材料の誘電率が 3.9 で $4.8\ \text{fF}/\mu\text{m}^2$ 、誘電率が 7.9 で $9.9\ \text{fF}/\mu\text{m}^2$ 、誘電率が 20 で $25\ \text{fF}/\mu\text{m}^2$ 、誘電率が 50 で $63\ \text{fF}/\mu\text{m}^2$ となる。

酸化シリコン（誘電率 3.9 ）の他、窒化シリコン（同 7.9 ）、 Ta_2O_5 （同 $20 \sim 30$ ）、 HfO_2 （同 30 ）、 ZrO_2 （同 30 ）、 Ra_2O_3 （同 $40 \sim 50$ ）程度のいわゆる High-k 材料を用いることで、より大きな静電容量を実現でき、比較的単純な構造であるプレーナ型でも $100 \sim 120\ \text{dB}$ の広ダイナミックレンジなイメージセンサを実現できる。

【0112】

さらに、占有面積を抑制して容量の寄与する面積を拡大可能なスタック型やトレンチ型などの構造を適用することでも $120\ \text{dB}$ の広いダイナミックレンジを達成可能で、さらに上記の High-k 材料を組み合わせることで、スタック型では $140\ \text{dB}$ 、トレンチ型では $160\ \text{dB}$ を達成可能である。

【0113】

以下に、本実施形態で適用できる蓄積容量素子の例を示す。

図 21 (A) は第 1 実施形態と同様のプレーナ型 MOS 蓄積容量素子の断面図である。

即ち、蓄積容量素子 C_S は、例えば、半導体基板 10 の表層部分に形成された下部電極となる p^+ 型半導体領域 17 と、 p^+ 型半導体領域 17 上に形成された酸化シリコンの容量絶縁膜 25 と、容量絶縁膜 25 上に形成されたポリシリコンなどの上部電極 32 とを有する構成である。

【0114】

図 21 (B) はプレーナ型 MOS およびジャンクション型の蓄積容量素子の断面図である。

例えば、 p 型半導体基板 10 に形成された p 型ウェル 11 の表層部分に下部電極となる n^+ 型半導体領域 16b が蓄積トランジスタのソース・ドレインとなる n^+ 型半導体領域 16a と一体に形成されており、その上の酸化シリコンの容量絶縁膜 25 を介して上部電極 32 が形成されて、蓄積容量素子 C_S が構成されている。この場合、上部電極 32 には電源電圧 V_{DD} あるいはグラウンド GND が印加される。

【0115】

図 22 (A) の断面図に示す蓄積容量素子は図 21 (A) と同様のプレーナ型 MOS 蓄積容量素子である。

但し、容量絶縁膜 25a が窒化シリコンあるいは Ta_2O_5 などの High-k 材料から

構成されており、図 2 1 (A) の蓄積容量素子よりも大容量化されている。

【0 1 1 6】

図 2 2 (B) の断面図に示す蓄積容量素子は図 2 1 (B) と同様のプレーナ型 MOS およびジャンクション型の蓄積容量素子である。

但し、容量絶縁膜 2 5 a が窒化シリコンあるいは Ta_2O_5 などの High- k 材料から構成されており、図 2 1 (B) の蓄積容量素子よりも大容量化されている。

【0 1 1 7】

図 2 3 (A) はスタック型蓄積容量素子の断面図である。

例えば、p 型半導体基板 1 0 に形成された素子分離絶縁膜上に形成された下部電極 3 7 と、下部電極 3 7 上に形成された容量絶縁膜 2 5 と、容量絶縁膜 2 5 上に形成された上部電極 3 8 とを有する構成である。

ここでは、蓄積トランジスタのソース・ドレインとなる n^+ 型半導体領域 1 6 と下部電極 3 7 が配線 3 6 により接続されている。この場合、上部電極 3 8 には電源電圧 VDD あるいはグラウンド GND が印加される。

【0 1 1 8】

図 2 3 (B) は円筒形状のスタック型蓄積容量素子の断面図である。

例えば、蓄積トランジスタのソース・ドレインとなる n^+ 型半導体領域 1 6 に接続するように形成された円筒形状の下部電極 3 7 a と、円筒形状の下部電極 3 7 a の内壁面上に形成された容量絶縁膜 2 5 と、下部電極 3 7 a の円筒の内側の部分を埋め込むように容量絶縁膜 2 5 を介して形成された上部電極 3 8 a とを有する構成である。

ここでは、上部電極 3 8 a には電源電圧 VDD あるいはグラウンド GND が印加される。

円筒形状の下部電極 3 7 a と下部電極 3 7 a の円筒の内側の部分を埋め込むように形成された上部電極 3 8 a の構造は、通常のスタック型よりも静電容量に寄与する対向面積を大きくとることができる。

図 2 4 は、プレーナ MOS 型とスタック型とを組み合わせた複合蓄積容量素子の断面図である。本例によれば、面積効率の高い大きな容量を形成することができる。

【0 1 1 9】

図 2 5 (A) はトレンチ型蓄積容量素子の断面図である。

n 型半導体基板 1 0 の p 型ウェル 1 1 を貫通して n 型基板に達するようトレンチ TC が形成されており、トレンチ TC の内壁に形成された下部電極となる n^+ 型半導体領域 1 8 と、トレンチ TC の内壁を被覆して形成された容量絶縁膜 2 5 と、容量絶縁膜 2 5 を介してトレンチ TC を埋め込んで形成された上部電極 4 0 とを有する構成である。

ここでは、蓄積トランジスタのソース・ドレインとなる n^+ 型半導体領域 1 6 と上部電極 4 0 が配線 3 4 により接続されている。

【0 1 2 0】

図 2 5 (B) はジャンクションを有するトレンチ型蓄積容量素子の断面図である。

n 型半導体基板 1 0 の p 型ウェル 1 1 内においてトレンチ TC が形成されており、トレンチ TC の内壁に下部電極となる n^+ 型半導体領域 1 6 d が蓄積トランジスタのソース・ドレインとなる n^+ 型半導体領域 1 6 c と一体に形成され、トレンチ TC の内壁を被覆して容量絶縁膜 2 5 が形成され、さらに容量絶縁膜 2 5 を介してトレンチ TC を埋め込んで上部電極 4 0 が形成された構成である。

【0 1 2 1】

図 2 6 (A) はトレンチ型蓄積容量素子の断面図である。

n 型半導体基板 1 0 の p 型ウェル 1 1 を貫通して n 型基板に達するようトレンチ TC が形成されており、トレンチ TC ある程度の深さよりも深い領域において、その内壁に形成された下部電極となる n^+ 型半導体領域 1 8 と、トレンチ TC の内壁を被覆して形成された容量絶縁膜 2 5 と、容量絶縁膜 2 5 を介してトレンチ TC を埋め込んで形成された上部電極 4 0 とを有する構成である。

ここでは、蓄積トランジスタのソース・ドレインとなる n^+ 型半導体領域 1 6 と上部電

極 4 0 が配線 3 4 により接続されている。

【 0 1 2 2 】

図 2 6 (B) はトレンチ型蓄積容量素子の断面図である。

n 型半導体基板 1 0 の p 型ウェル 1 1 を貫通して n 型基板に達するようトレンチ T C が形成されており、トレンチ T C の内壁に形成された下部電極となる p^+ 型半導体領域 1 9 と、トレンチ T C の内壁を被覆して形成された容量絶縁膜 2 5 と、容量絶縁膜 2 5 を介してトレンチ T C を埋め込んで形成された上部電極 4 0 とを有する構成である。

ここでは、蓄積トランジスタのソース・ドレインとなる n^+ 型半導体領域 1 6 と上部電極 4 0 が配線 3 4 により接続されている。

【 0 1 2 3 】

図 2 7 はジャンクション容量を用いた埋め込み蓄積容量素子を有する C M O S センサの断面図である。

例えば、p 型シリコン半導体基板 (p - s u b) 6 0 上に p 型エピタキシャル層 6 1 が形成されており、p 型シリコン半導体基板 6 0 と p 型エピタキシャル層 6 1 にわたって n^+ 型半導体領域 6 2 が形成されている。即ち、n 型 (第 1 導電型) の半導体領域とこれに接合する p 型 (第 2 導電型) の半導体領域とが、固体撮像装置を構成する半導体基板の内部に埋め込まれて、ジャンクション容量を用いた埋め込み蓄積容量素子が形成されている。

p 型シリコン半導体基板 6 0 と p 型エピタキシャル層 6 1 領域には、さらに p^+ 型分離領域 6 3 が形成されている。

p 型エピタキシャル層 6 1 上に p 型半導体層 6 4 が形成されており、p 型半導体層 6 4 に対して、上記の各実施形態と同様に、フォトダイオード P D、転送トランジスタ T r 1、フローティングディフュージョン F D、蓄積トランジスタ T r 2 が形成されている。

例えば、蓄積容量素子となる n^+ 型半導体領域 6 2 は、上記のフォトダイオード P D、転送トランジスタ T r 1、フローティングディフュージョン F D、蓄積トランジスタ T r 2 の各形成領域にわかって、広く形成されている。

また、蓄積トランジスタ T r 2 のソースドレインとなる n^+ 型半導体領域 1 6 は、p 型半導体層 6 4 中を垂直に伸びる n^+ 型半導体領域 6 5 により、蓄積容量素子を構成する n^+ 型半導体領域 6 2 に接続している。

【 0 1 2 4 】

図 2 8 は絶縁膜容量およびジャンクション容量を用いた埋め込み蓄積容量素子を有する C M O S センサの断面図である。

図 2 7 と同様の構造であるが、p 型シリコン半導体基板 (p - s u b) 6 0 上に、絶縁膜 6 0 a を介して、第 1 p 型エピタキシャル層 6 1 a と第 2 p 型エピタキシャル層 6 1 b とが形成されており、半導体基板上に絶縁膜を介して半導体層が形成されている S O I (Semiconductor on Insulator) 基板となっている。

ここで、第 1 p 型エピタキシャル層 6 1 a と第 2 p 型エピタキシャル層 6 1 b にわたり、絶縁膜 6 0 a に接する領域まで、 n^+ 型半導体領域 6 2 が形成されており、絶縁膜を介して対向する半導体基板と半導体層の間の絶縁膜容量を用いて、蓄積容量素子が構成されている。

さらに、図 2 7 の蓄積容量素子と同様に、 n^+ 型半導体領域 6 2 と、第 1 p 型エピタキシャル層 6 1 a および第 2 p 型エピタキシャル層 6 1 b の間で、ジャンクション容量が形成されている。

この他の構造については、図 2 7 の C M O S センサと同様である。

【 0 1 2 5 】

図 2 9 は絶縁膜容量およびジャンクション容量を用いた埋め込み蓄積容量素子を有する C M O S センサの断面図である。

図 2 8 と同様の構造であるが、さらに、フォトダイオード P D を構成する n 型半導体領域 1 3 と蓄積容量素子を構成する n^+ 型半導体領域 6 2 の間に、低濃度半導体層 (i 層) 6 6 が形成されている。

上記の構造は、 n 型半導体領域13と n^+ 型半導体領域62の間のポテンシャル障壁を低くすることに相当し、フォトダイオードからフローティングディフュージョンFDへのオーバーフローパスPAとなる。これにより、駆動ライン ϕ_T に図3(A)の $(+\alpha)$ で示す電位を印加しなくても、電荷の蓄積時においてフォトダイオードから溢れる電荷をパンチスルーさせて蓄積容量素子へと移動させることができる。

【0126】

上記の各種の蓄積容量素子は、上述の第1～第7実施形態のいずれにも適用可能で、上述のようにこれらの形状の蓄積容量素子により、フォトダイオードから溢れる光電荷を蓄積することで、高照度側に広ダイナミックレンジ化を実現できる。

【0127】

（実施例1）

本発明のCMOSイメージセンサにおいて、 C_{FD} および C_S の飽和電圧、 C_S の静電容量値を種々の値に変化させたときに、実現できるダイナミックレンジをシミュレーションにより求めた。ここで、ノイズレベルは $2e^-$ とした。

C_{FD} および C_S の飽和電圧が500mV、 C_S が64fFの静電容量の場合、あるいは、 C_{FD} および C_S の飽和電圧が1V、 C_S が32fFの静電容量の場合、 C_S を含めた飽和時の電子数が $2 \times 10^5 e^-$ となって、100dBのダイナミックレンジを実現できる。

また、 C_{FD} および C_S の飽和電圧が500mV、 C_S が200fFの静電容量の場合、あるいは、 C_{FD} および C_S の飽和電圧が1V、 C_S が100fFの静電容量の場合、 C_S を含めた飽和時の電子数が $6.3 \times 10^5 e^-$ となって、110dBのダイナミックレンジを実現できる。

また、 C_{FD} および C_S の飽和電圧が500mV、 C_S が640fFの静電容量の場合、あるいは、 C_{FD} および C_S の飽和電圧が1V、 C_S が320fFの静電容量の場合、 C_S を含めた飽和時の電子数が $2 \times 10^6 e^-$ となって、120dBのダイナミックレンジを実現できる。

【0128】

（実施例2）

本発明のCMOSイメージセンサにおいて、上記のトレンチ型蓄積容量素子を適用した場合に達成できるダイナミックレンジをシミュレーションにより求めた。

図30はトレンチ型蓄積容量素子を採用した場合の画素の概略平面図である。

各画素(Pixel)はフォトダイオードPD、ピクセル回路PCおよびトレンチ型の蓄積容量素子Capから構成されている。

ここで、各画素の一辺が5 μ m程度であると想定すると、トレンチ型蓄積容量素子の平面図上の長さは長くても4 μ m \times 2程度となる。

【0129】

図31は想定したトレンチ型蓄積容量素子の大きさを説明する模式図である。

n 型半導体基板10の p 型ウェル11内にトレンチTCが形成され、トレンチTCの内壁に下部電極となる p 型半導体領域19が形成され、と、トレンチTCの内壁を被覆して酸化シリコンの容量絶縁膜25が形成され、容量絶縁膜25を介してトレンチTCを埋め込んで上部電極40が形成された構成である。

ここで、長さLは上記の通り4 μ m \times 2とする。

さらに、トレンチの深さDを2 μ m、酸化シリコン（誘電率3.9）の容量絶縁膜25の膜厚 t_{OX} を7nmとすると、トレンチの側面のみを考慮した場合、容量が160fF、飽和時の電子数が $5 \times 10^5 e^-$ となって、100～108dBのダイナミックレンジを実現できる。

【0130】

（実施例3）

本発明のCMOSイメージセンサにおいて、上記のプレーナ型蓄積容量素子を適用した場合に達成できるダイナミックレンジを求めた。

図32はプレーナ型蓄積容量素子を採用した場合の画素のレイアウト図である。

フォトダイオードPD、フローティングディフュージョンFD、蓄積容量素子 C_s およびその他のピクセル回路を配置して、図32のレイアウトを得た。

画素の一辺は $8.2\mu\text{m}$ であり、プレーナ型蓄積容量素子の容量絶縁膜を 7nm の膜厚の酸化シリコンとすると $C_s=38\text{fF}$ を得た。このとき、 $C_{FD}=4.2\text{fF}$ （フリッジ容量を除く）となり、ダイナミックレンジとして $88\sim96\text{dB}$ を得た。

【0131】

（実施例4）

本発明のCMOSイメージセンサにおいて、一片が $3\mu\text{m}$ の画素のフォトダイオードPDの面積が開口率で 25% とし、さらにフォトダイオードPDにマイクロレンズを組み込んで実質開口率 80% となった画素を想定する。

ここで、フォトダイオードPDから溢れる光電子を蓄積する蓄積容量素子として、 64fF と 640fF の2種を設定し、両者において、フォトダイオードPDが飽和する前と飽和した後での出力（V）と光量（lux）の線型性をシミュレーションで求めた。

図33（A）はフォトダイオードPDが飽和する前の出力（V）を光量（lux）に対してプロットした図であり、飽和前であるので蓄積容量素子が 64fF と 640fF のどちらの場合も一致し、出力（V）と光量（lux）の相関は高い線型性を有することが確認された。

また、図33（B）は飽和の後の出力（V）を光量（lux）に対してプロットした図であり、同じ光量の場合、蓄積容量素子が 640fF の方が 64fF よりも低い出力となり、出力が飽和してしまうまでの線型性を有する部分が広く取れることが確認された。

このとき、例えば 10^2lux 以下では飽和前の出力を採用し、 10^2lux 以上では飽和後の出力を採用することで、フォトダイオードPDの飽和前後を繋いで、光量に対して高い線型性を持つ出力を広いレンジで得ることができる。

【0132】

その他、本発明に係るCMOSイメージセンサの性能を表1にまとめた。

【0133】

【表 1】

項 目	緒 元			
C_{FD}	3.2fF		6.4fF	
C_s	32fF	320fF	64fF	640fF
画素サイズ	$\leq 5 \mu m$			
PD サイズ	$\leq 3 \mu m$			
入力換算感度	$50 \mu V/e^-$		$25 \mu V/e^-$	
C_{FD} 飽和電荷量	$1 \times 10^4 e^-$		$2 \times 10^4 e^-$	
飽和電圧	$500mV_{min}@C_{FD}, C_s$			
飽和電荷量	$1 \times 10^5 e^-$	$1 \times 10^6 e^-$	$2 \times 10^5 e^-$	$2 \times 10^6 e^-$
ダイナミックレンジ	88dB	106dB	100dB	120dB

【0134】

本発明は上記の説明に限定されない。

例えば、実施形態においては、固体撮像装置について説明しているが、これに限らず、各固体撮像装置の画素を直線状に配したラインセンサや、各固体撮像装置の画素をそのまま単独で構成することで得られる光センサについても、従来には得られなかった広ダイナミックレンジ化と高感度、高S/N比を達成することができる。

また、蓄積容量素子の形状などは特に限定はなく、DRAMのメモリ蓄積容量素子などで容量を高めるためにこれまでに開発された種々の方法を採用することができる。

固体撮像装置としては、フォトダイオードとフォトダイオードから溢れる光電荷を蓄積する蓄積容量素子とが転送トランジスタを介して接続されている構成であればよく、CMOSイメージセンサの他、CCDにも適用することができる。

その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【産業上の利用可能性】

【0135】

本発明の固体撮像装置は、デジタルカメラやカメラ付き携帯電話などに搭載されるCM

OS イメージセンサやCCD イメージセンサなどの広いダイナミックレンジが望まれているイメージセンサに適用できる。

本発明のラインセンサは広いダイナミックレンジが望まれているラインセンサに適用できる。

本発明の光センサは広いダイナミックレンジが望まれている光センサに適用できる。

本発明の固体撮像装置の動作方法は広いダイナミックレンジが望まれているイメージセンサの動作方法に適用できる。

【図面の簡単な説明】

【0136】

【図1】図1は本発明の第1実施形態に係るCMOS イメージセンサの1画素分の等価回路図である。

【図2】図2(A)は本発明の第1実施形態に係るCMOS イメージセンサの各画素の一部に相当する模式的断面図であり、図2(B)は図2(A)の領域に相当する模式的なポテンシャル図である。

【図3】図3(A)は本発明の第1実施形態に係るCMOS イメージセンサの駆動ライン(ϕ_T 、 ϕ_S 、 ϕ_R)に印加する電圧のタイミングチャートであり、図3(B)および図3(C)はそれぞれ図3(A)に対応する電位(V_{PD} 、 V_{FD} 、 V_{CS})の変化を示すグラフである。

【図4】図4(A)～(D)は図3(A)のタイミングチャートの各タイミングにおけるポテンシャル図に相当する。

【図5】図5(E)～(H)は図3(A)のタイミングチャートの各タイミングにおけるポテンシャル図に相当する。

【図6】図6は本発明の第1実施形態に係るCMOS イメージセンサの全体の回路構成を示す等価回路図である。

【図7】図7は飽和前電荷信号+ C_{FD} ノイズ、 C_{FD} ノイズ、変調された過飽和電荷信号+ C_{FD} + C_S ノイズおよび C_{FD} + C_S ノイズの4つの信号の処理を行う回路である。

【図8】図8(A)および図8(B)はそれぞれ容量 C_{FD} または容量 $C_{FD}+C_S$ を用いたときに得られる電荷数を相対光量に対してプロットした図であり、図8(C)は、図8(A)と図8(B)の電荷数を電圧に変換して相対光量に対してプロットして重ねて示したグラフである。

【図9】図9(A)および図9(B)は本発明の第2実施形態のCMOS イメージセンサの1画素分の等価回路図である。

【図10】図10(A)および図10(B)は本発明の第3実施形態のCCD イメージセンサの1画素分の等価回路図である。

【図11】図11(A)および図11(B)は本発明の第4実施形態のCMOS イメージセンサの1画素分の等価回路図である。

【図12】図12は本発明の第5実施形態に係るCMOS イメージセンサの1画素分の等価回路図である。

【図13】図13は本発明の第5実施形態に係るCMOS イメージセンサの要部の模式的なポテンシャル図である。

【図14】図14(A)および(B)は本発明の第5実施形態に係るCMOS イメージセンサの駆動ライン(ϕ_T 、 ϕ_S 、 ϕ_R)に印加する電圧のタイミングチャートである。

【図15】図15(A)～(C)は図14(A)のタイミングチャートの各タイミングにおけるポテンシャル図に相当する。

【図16】図16(D)～(F)は図14(A)のタイミングチャートの各タイミングにおけるポテンシャル図に相当する。

【図17】図17は本発明の第5実施形態に係るCMOS イメージセンサにおいてプレーナ型蓄積容量素子を採用した場合の約1画素分のレイアウト図の一例である。

【図18】図18(A)は本発明の第6実施形態に係るCMOS センサのフローティ

ングディフュージョン部分を詳細に示す断面図であり、図18(B)および図18(C)は図18(A)に示すCMOSセンサの製造工程を示す断面図である。

【図19】図19(A)および図19(B)は本発明の第7実施形態に係るCMOSセンサの構造を示す断面図である。

【図20】図20(A)および図20(B)は本発明の第7実施形態に係るCMOSセンサの構造を示す断面図である。

【図21】図21(A)および図21(B)は本発明の第8実施形態に係るCMOSセンサにおける蓄積容量素子の変形例の断面図である。

【図22】図22(A)および図22(B)は本発明の第8実施形態に係るCMOSセンサにおける蓄積容量素子の変形例の断面図である。

【図23】図23(A)および図23(B)は本発明の第8実施形態に係るCMOSセンサにおける蓄積容量素子の変形例の断面図である。

【図24】図24は本発明の第8実施形態に係るCMOSセンサにおける蓄積容量素子の変形例の断面図である。

【図25】図25(A)および図25(B)は本発明の第8実施形態に係るCMOSセンサにおける蓄積容量素子の変形例の断面図である。

【図26】図26(A)および図26(B)は本発明の第8実施形態に係るCMOSセンサにおける蓄積容量素子の変形例の断面図である。

【図27】図27は本発明の第8実施形態に係るCMOSセンサにおける蓄積容量素子の変形例の断面図である。

【図28】図28は本発明の第8実施形態に係るCMOSセンサにおける蓄積容量素子の変形例の断面図である。

【図29】図29は本発明の第8実施形態に係るCMOSセンサにおける蓄積容量素子の変形例の断面図である。

【図30】図30は実施例2においてトレンチ型蓄積容量素子を採用した場合の画素の概略平面図である。

【図31】図31は実施例2において想定したトレンチ型蓄積容量素子の大きさを説明する模式図である。

【図32】図32は実施例3においてプレーナ型蓄積容量素子を採用した場合の画素のレイアウト図である。

【図33】図33(A)は実施例4においてフォトダイオードが飽和する前の出力(V)を光量(1ux)に対してプロットした図であり、図33(B)は飽和の後の出力(V)を光量(1ux)に対してプロットした図である。

【図34】図34は第1従来例に係るCMOSイメージセンサの1画素分の等価回路図である。

【図35】図35は第2従来例に係るCMOSイメージセンサの1画素分の等価回路図である。

【図36】図36は第3従来例に係るCMOSイメージセンサの1画素分の等価回路図である。

【図37】図37は第4従来例に係るCMOSイメージセンサの1画素分の等価回路図である。

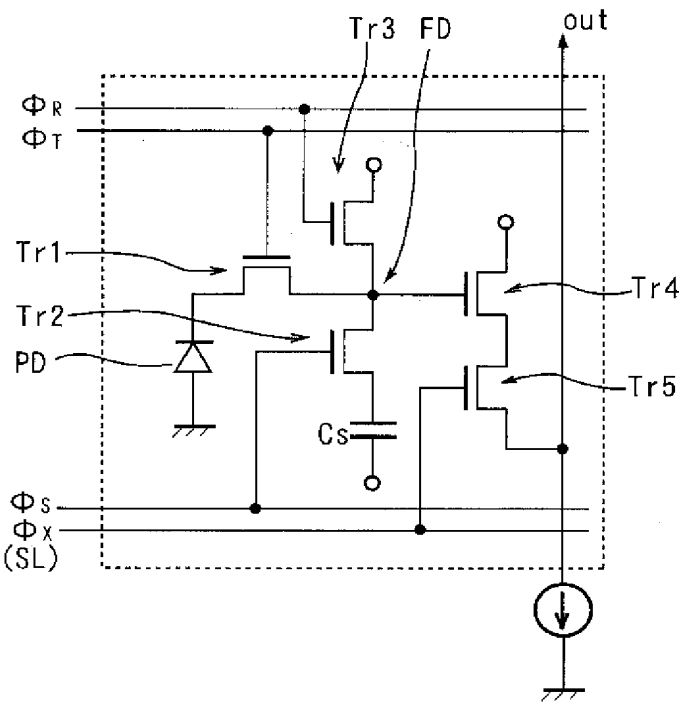
【図38】図38は第5従来例に係るCMOSイメージセンサの1画素分の等価回路図である。

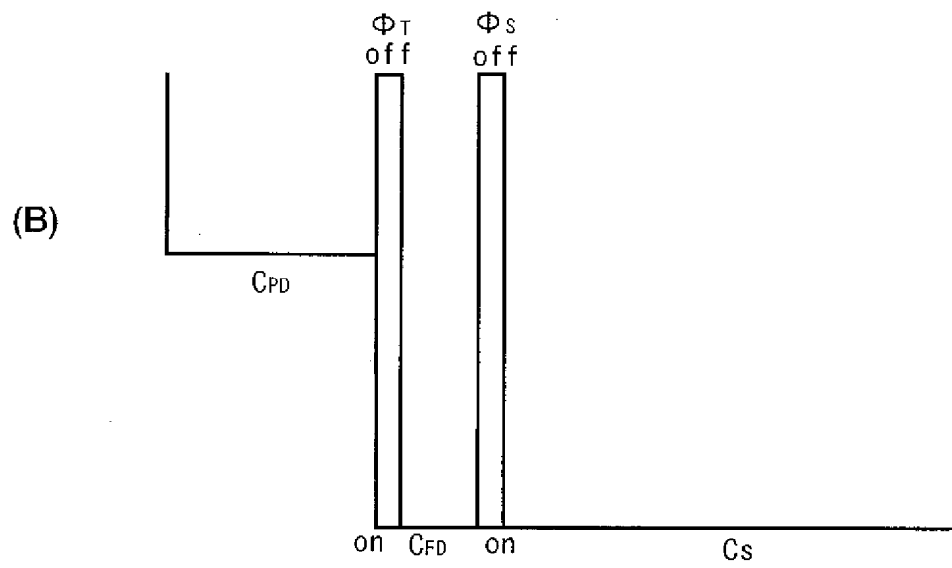
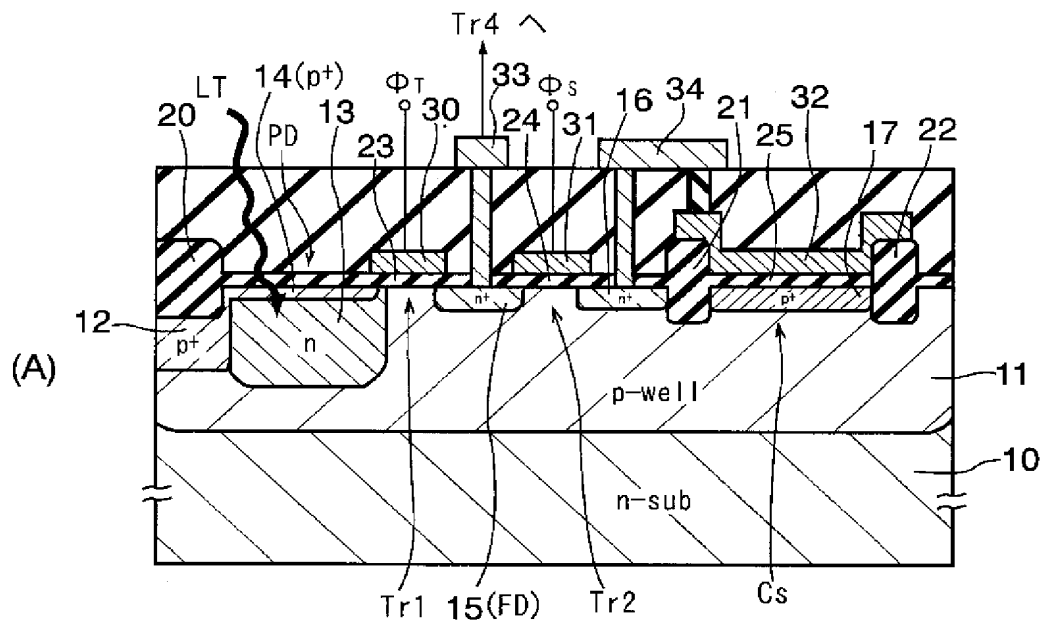
【符号の説明】

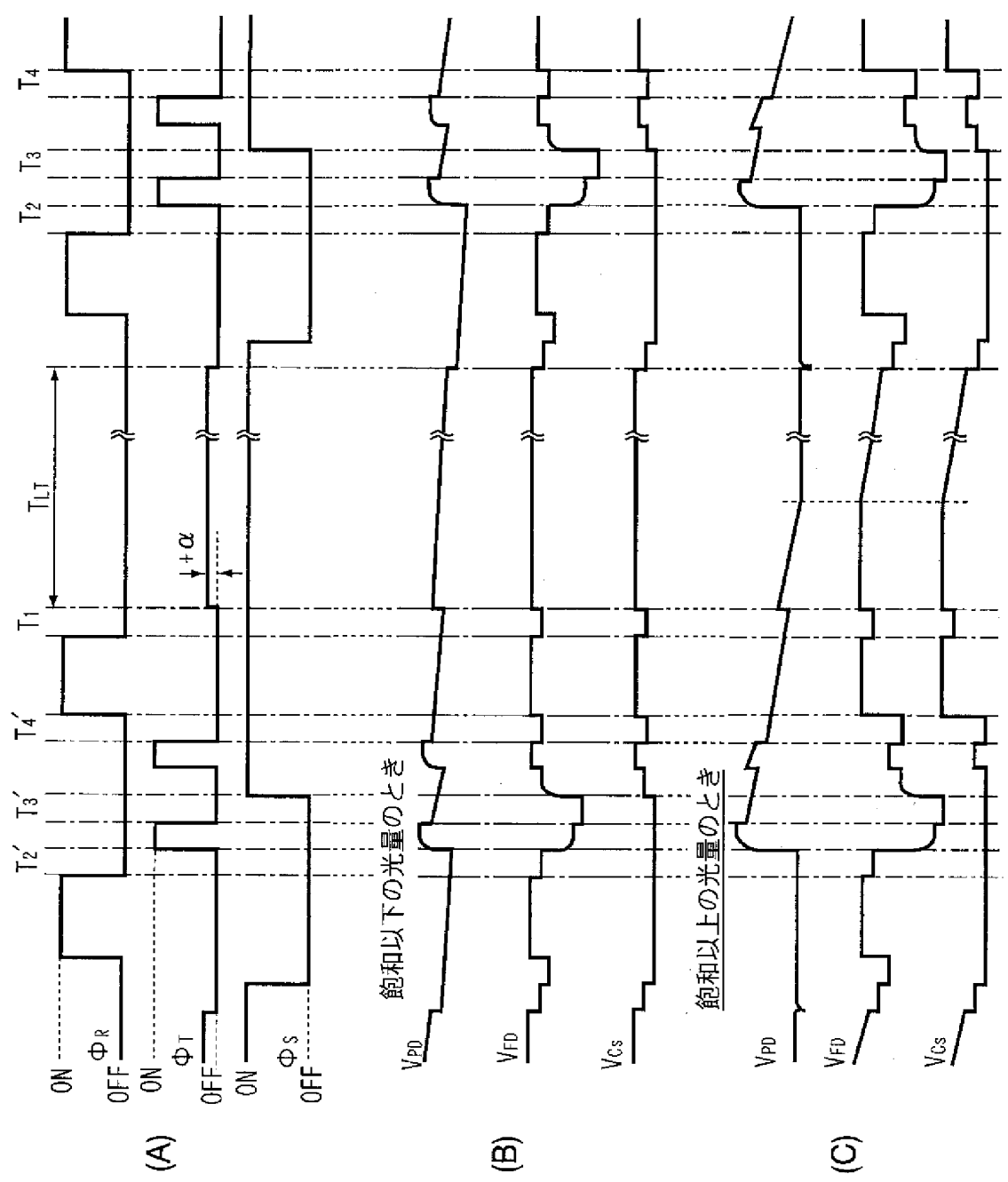
【0137】

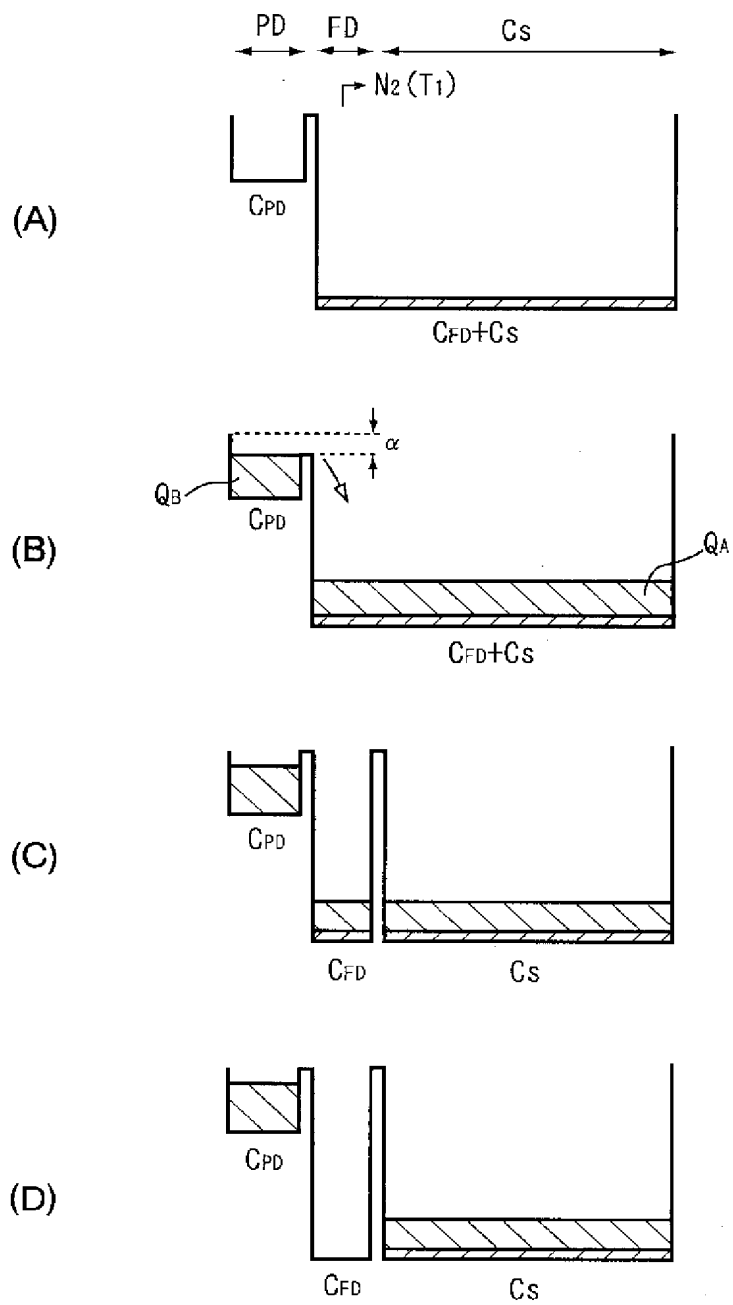
10…n型半導体基板、11…p型ウェル、12, 12a…p⁺型分離領域、14, 17, 19…p⁺型半導体領域、13, 50, 51, 52…n型半導体領域、15, 16, 16a、16b, 18…n⁺型半導体領域、15a…低濃度不純物領域、15b…高濃度不純物領域、20, 21, 22…素子分離絶縁膜、20a…素子分離絶縁膜の端部、23, 24…ゲート絶縁膜、25, 25a, 25'…容量絶縁膜、30, 31…ゲート電極、

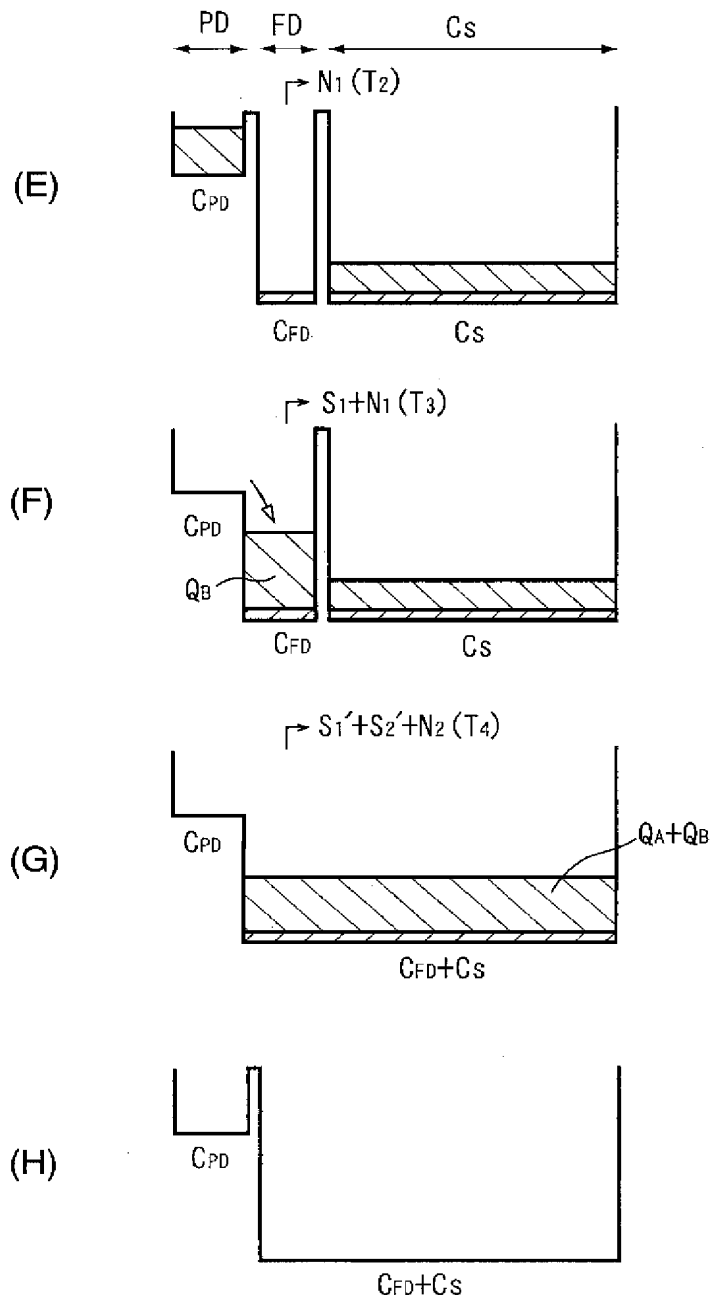
30 a … サイドウォールスペーサ、32、38、38 a、40 … 上部電極、33、34、
 35、36、39 … 配線、37、37 a … 下部電極、41 … TiSi 層 (Ti 層)、42
 … TiN 層、43 … タングステンプラグ、44 … 上層配線、60 … p 型半導体基板、61
 … p 型エピタキシャル層、61 a … 第1 p 型エピタキシャル層、61 b … 第2 p 型エピタ
 キシャル層、62 … n^+ 型半導体領域、63 … p^+ 型分離領域、64 … p 型半導体層、65
 … n^+ 型半導体領域、66 … 低濃度半導体層、ADC1~3 … A/D コンバータ、AP …
 アンプ、 C_1 … 小容量、 C_2 … 大容量、 C_{FD} 、 C_{PD} 、 C … 容量、 C_S … 蓄積容量素子、 C_a
 p … 蓄積容量素子、CCD1 … 第1 電荷結合転送路、CCD2 … 第2 電荷結合転送路、C
 H … チップ、CP … コンパレータ、 CT_a 、 CT_b … 回路、DC1、DC2 … 差動アンプ、
 DP1、2 … 導電性不純物、FD … フローティングディフュージョン、FM … フレームメ
 モリ、GND … グラウンド、LT … 光、 N_1 … C_{FD} のリセットレベルの信号 (ノイズ)、
 N_2 … $C_{FD} + C_S$ のリセットレベルの信号 (ノイズ)、Noise … ノイズ、out … 出力
 (ライン)、out1、out2 … 出力、PA … オーバーフローパス、PC … ピクセル回
 路、PD … フォトダイオード、Pixel … 画素、PR … レジスト膜、 Q_A … 過飽和電荷
 、 Q_{A1} 、 Q_{A2} … 過飽和電荷の一部、 Q_B … 飽和前電荷、R … リセットトランジスタ、 S_1
 … 飽和前電荷信号、 S_1' … 変調された飽和前電荷信号、 S_2 … 過飽和電荷信号、 S_2' …
 変調された過飽和電荷信号、SE … セレクタ、SL … 選択ライン、 SR^H … 列シフトレジ
 スタ、 SR^V … 行シフトレジスタ、T … スイッチ、 $T_1 \sim T_4$ … 時刻、TC … トレンチ、 T
 r_1 … 転送トランジスタ、 T_r2 … 蓄積トランジスタ、 T_r3 … リセットトランジスタ、
 T_r4 … 増幅トランジスタ、 T_r5 … 選択トランジスタ、 $T_r6 \sim T_r10$ … トランジス
 タ、 V_{PD} 、 V_{FD} 、 V_{CS} … 電位、VDD … 電源電圧、 ϕ_T 、 ϕ_S 、 ϕ_R 、 ϕ_X 、 ϕ_{S1+N1} 、 ϕ_{N1}
 、 $\phi_{S1'+S2'+N2}$ 、 ϕ_{N2} 、 ϕ_{V1} 、 ϕ_{V2} … 駆動ライン

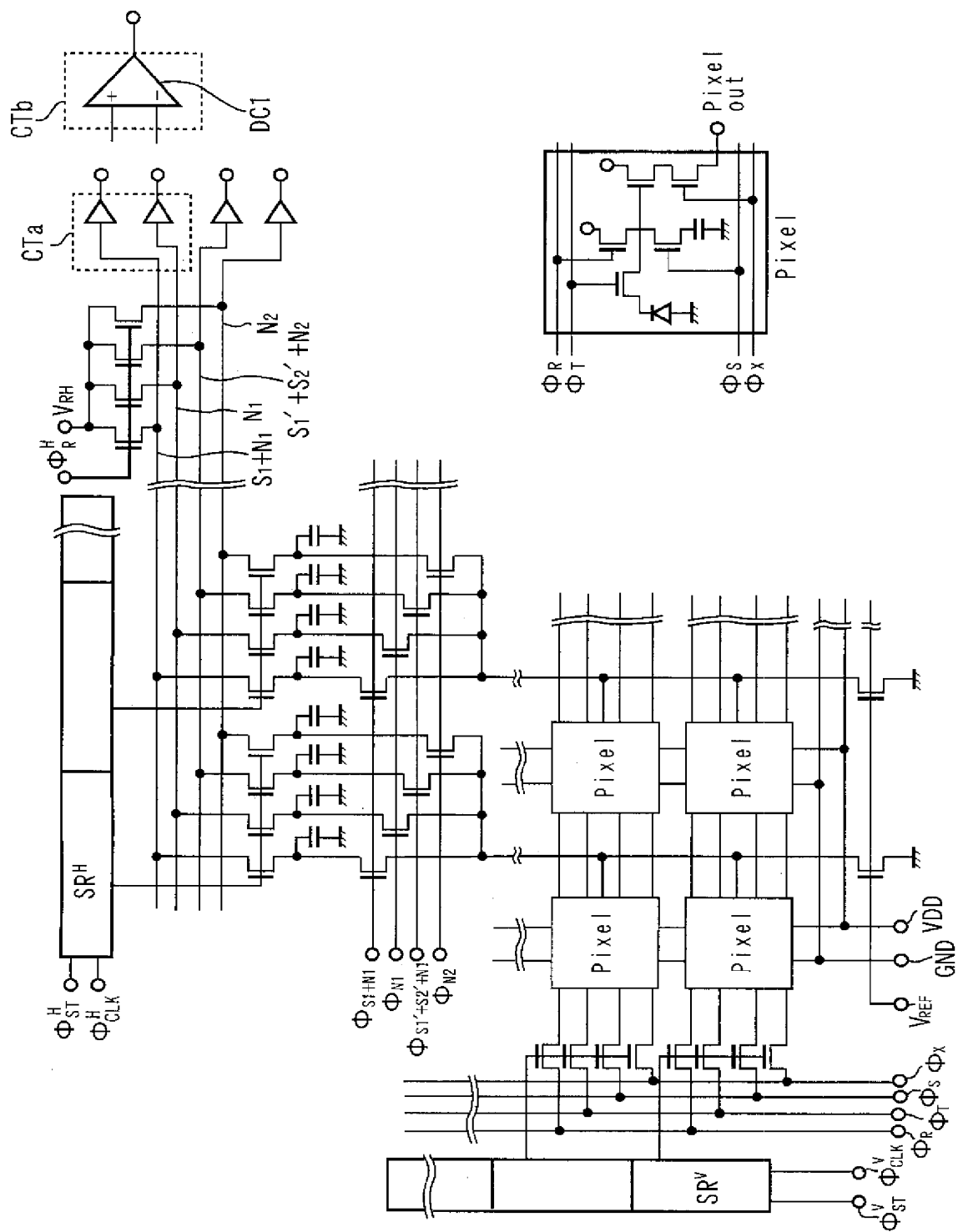


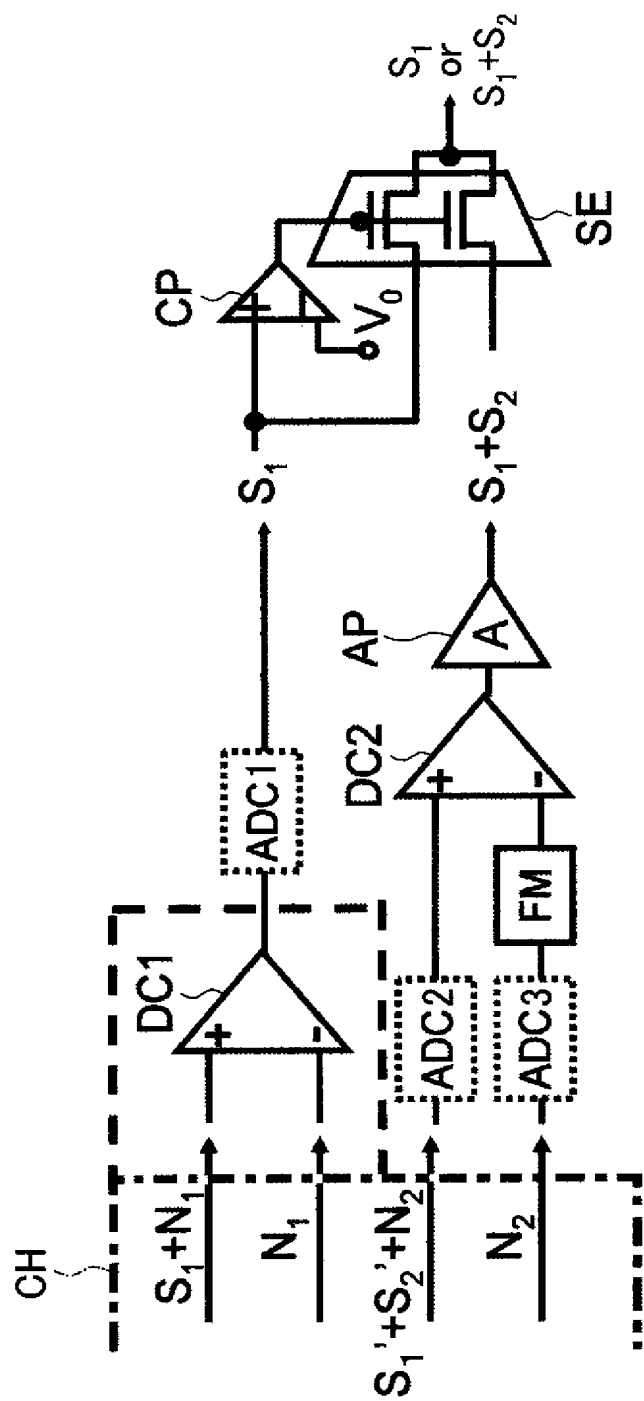




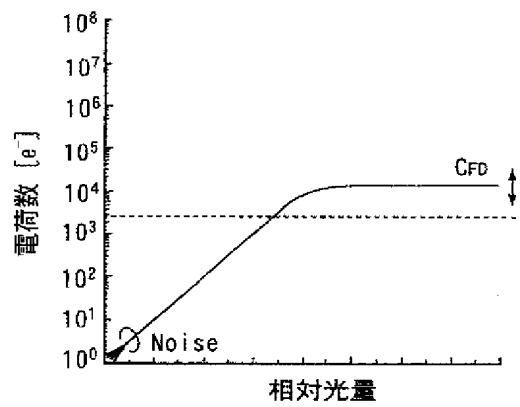




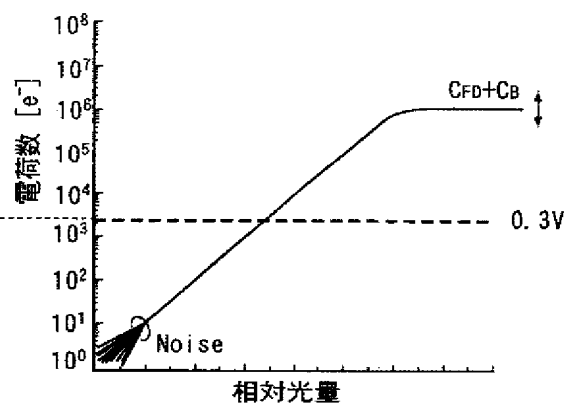




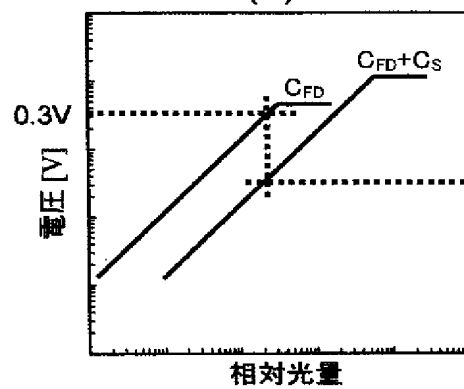
(A)

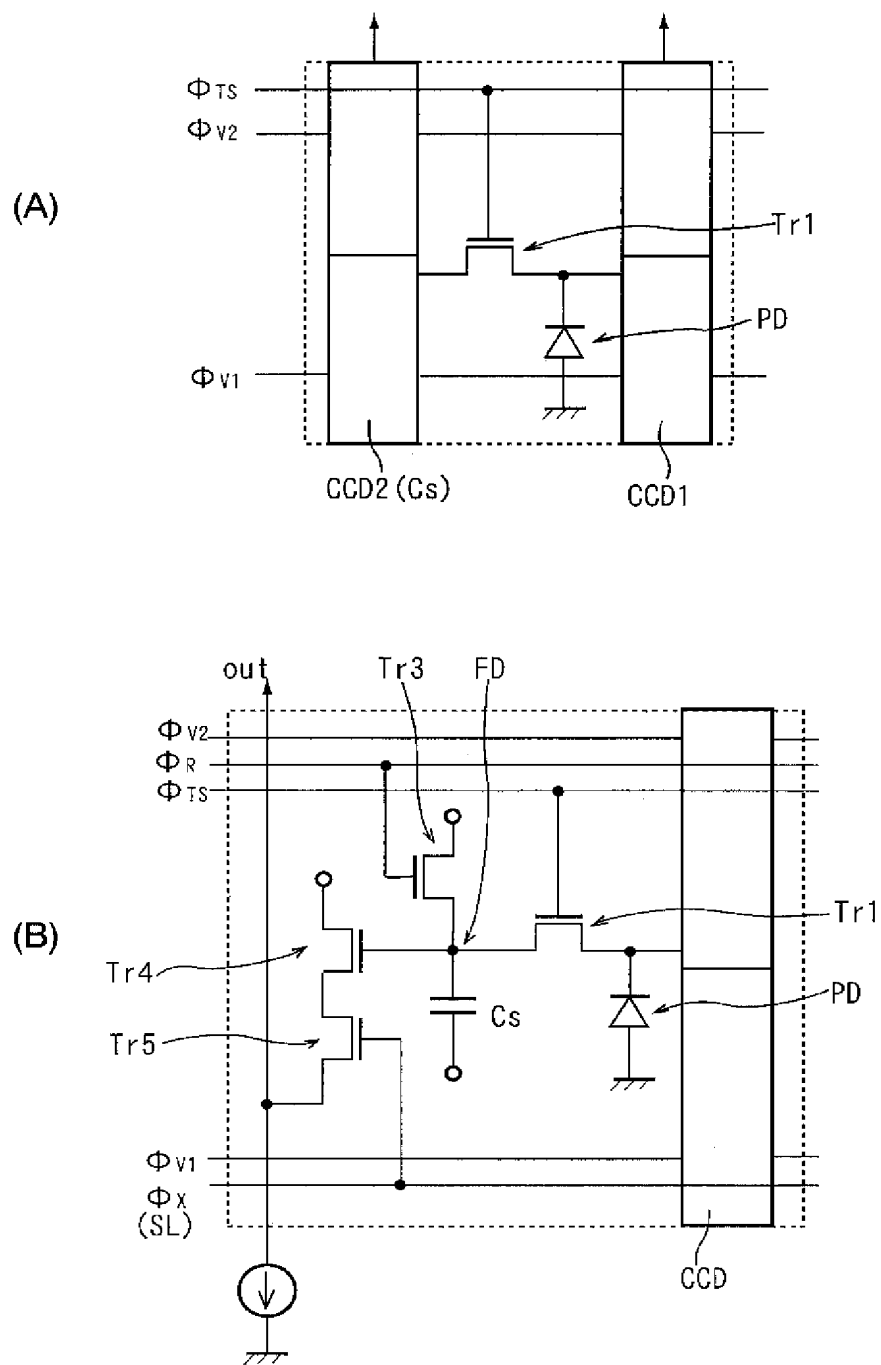


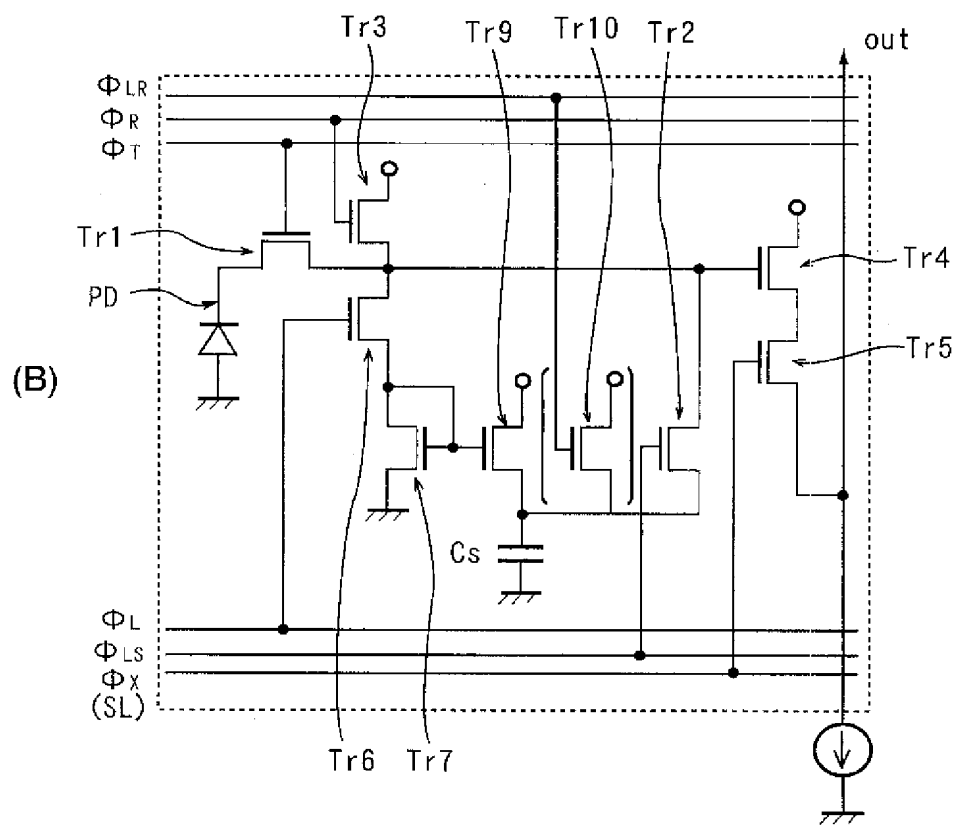
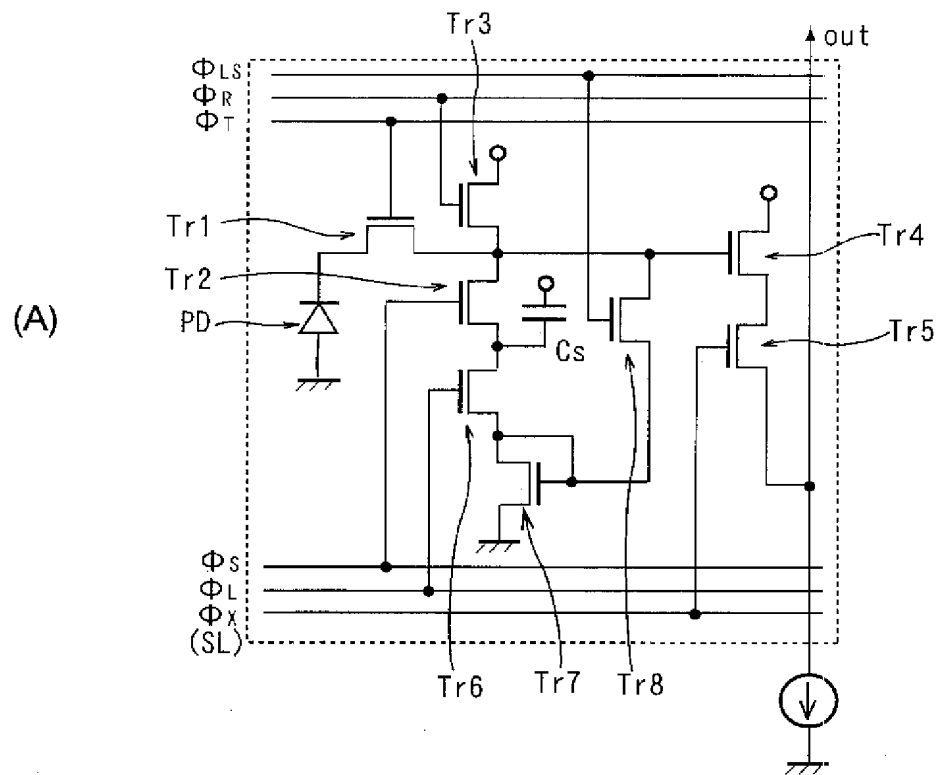
(B)

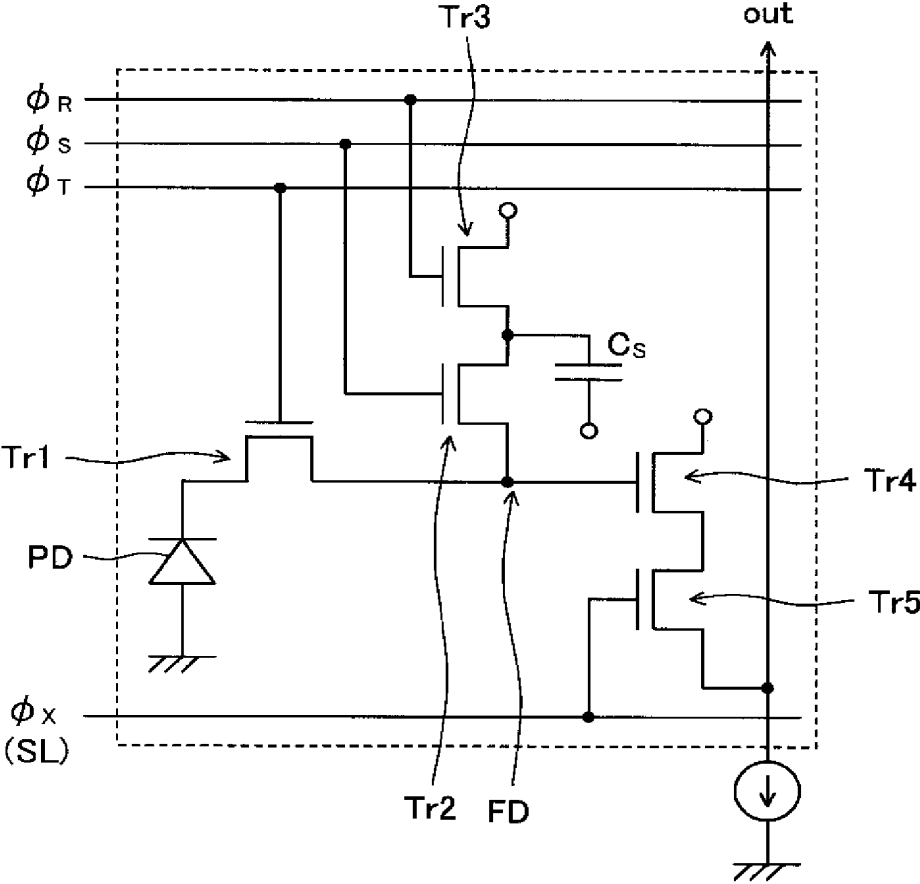


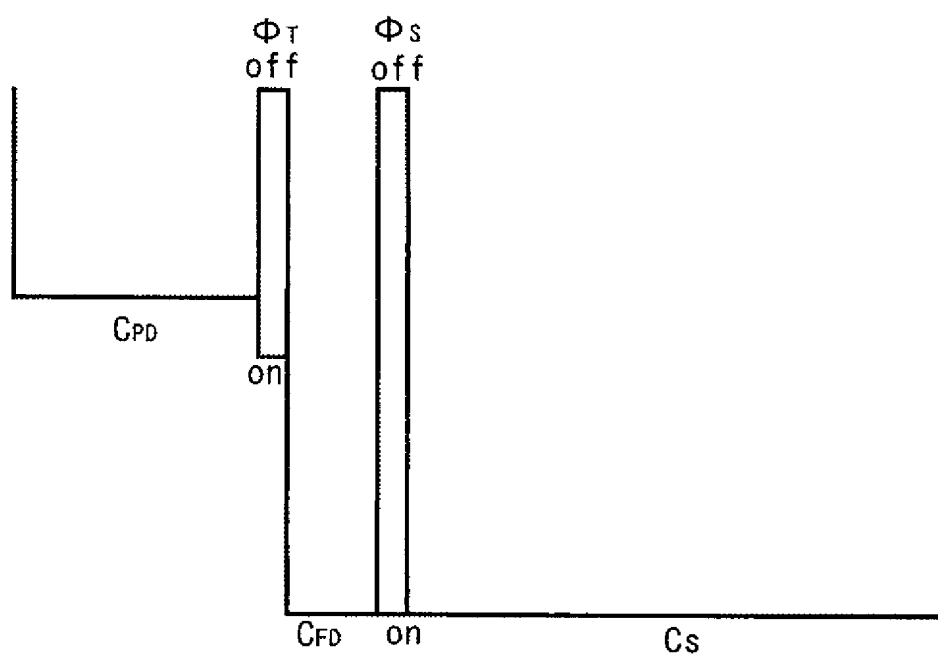
(C)

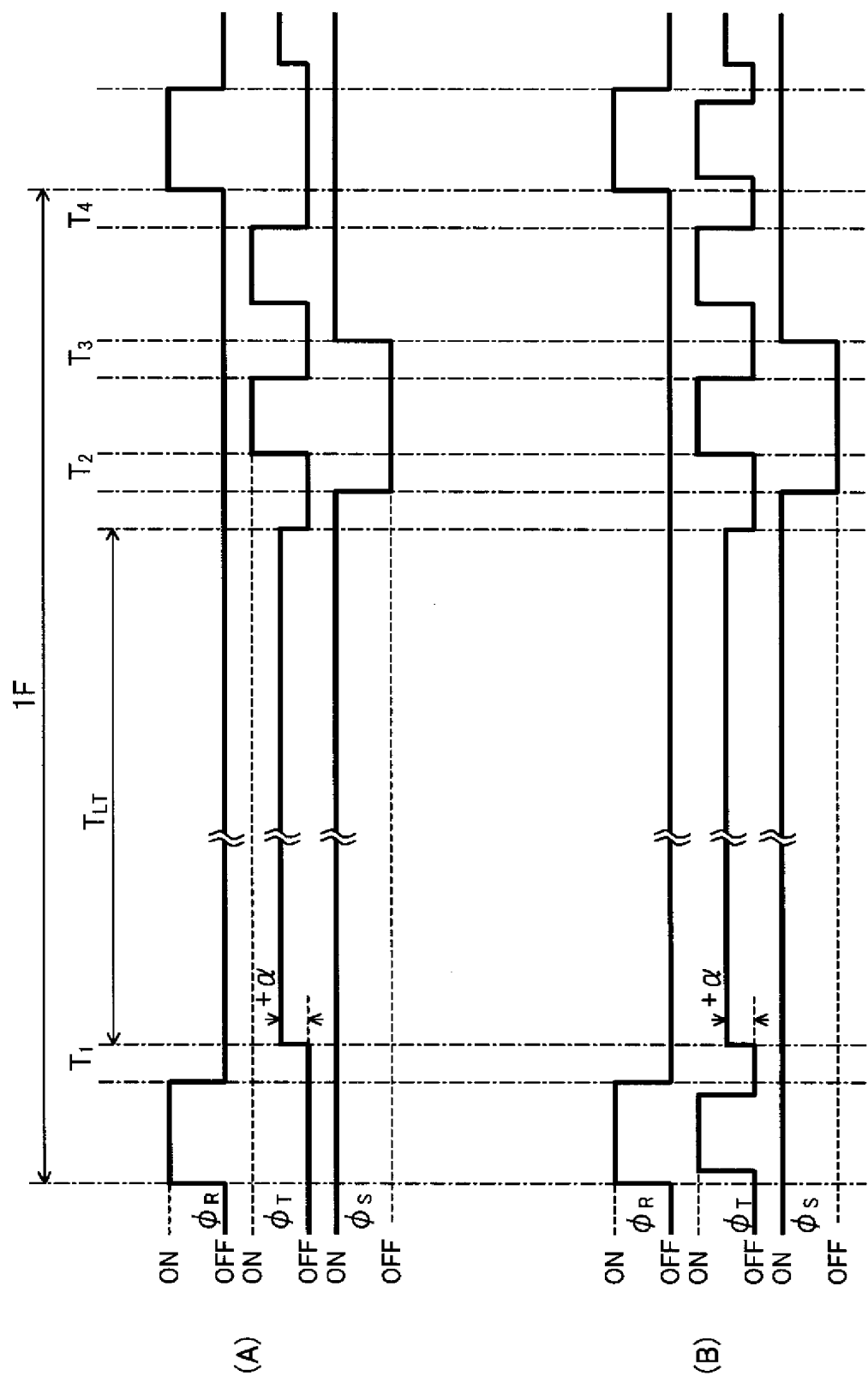


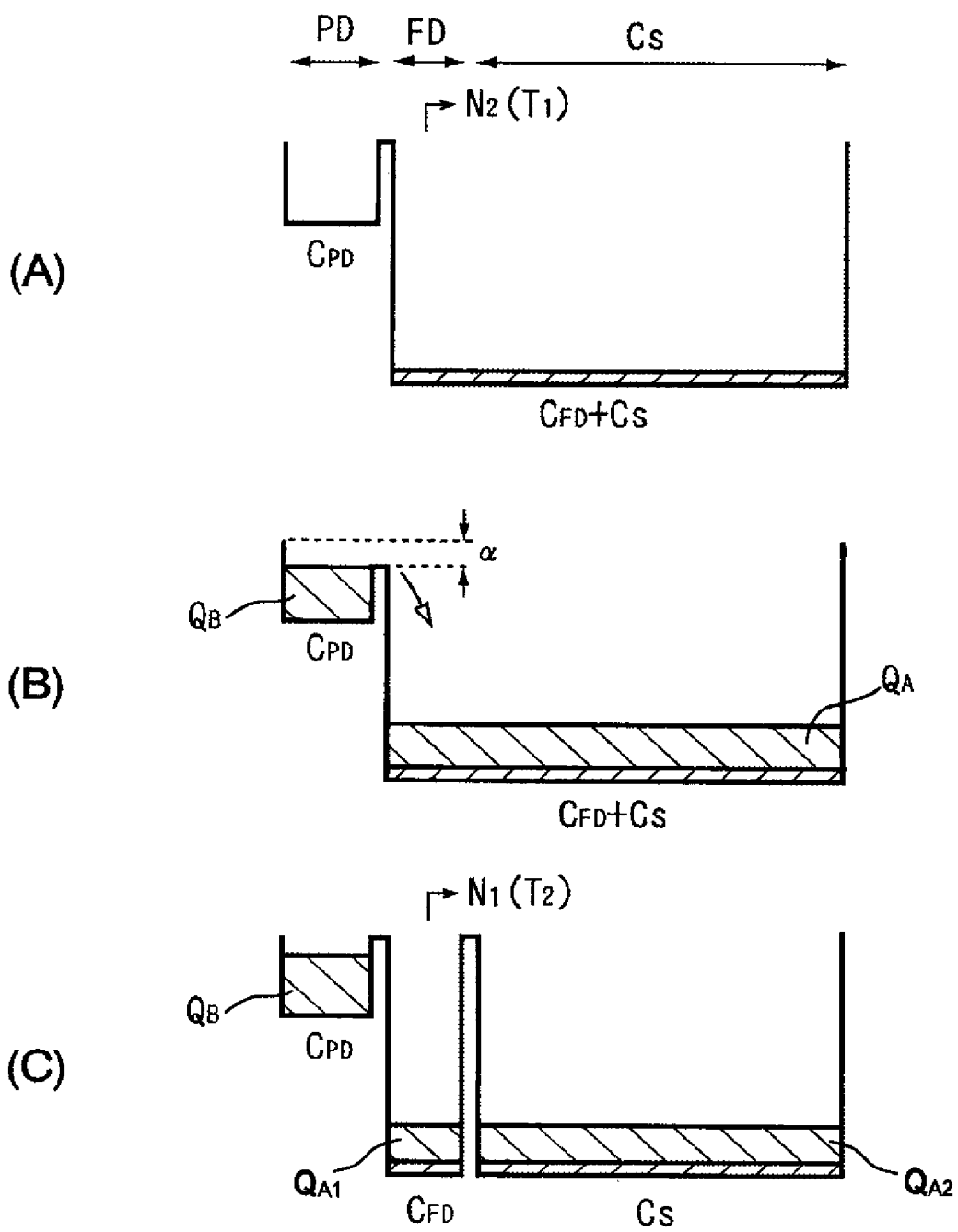


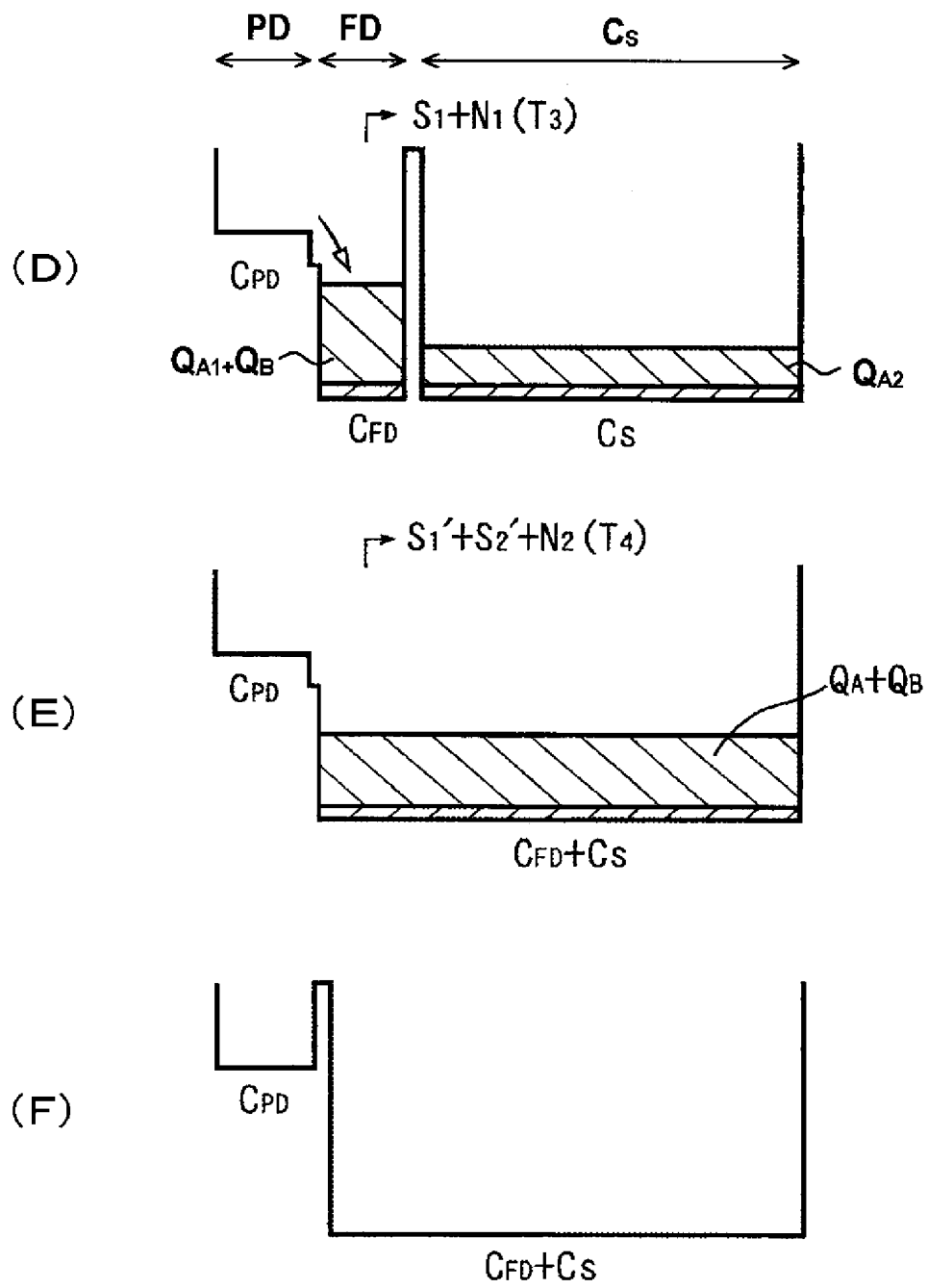


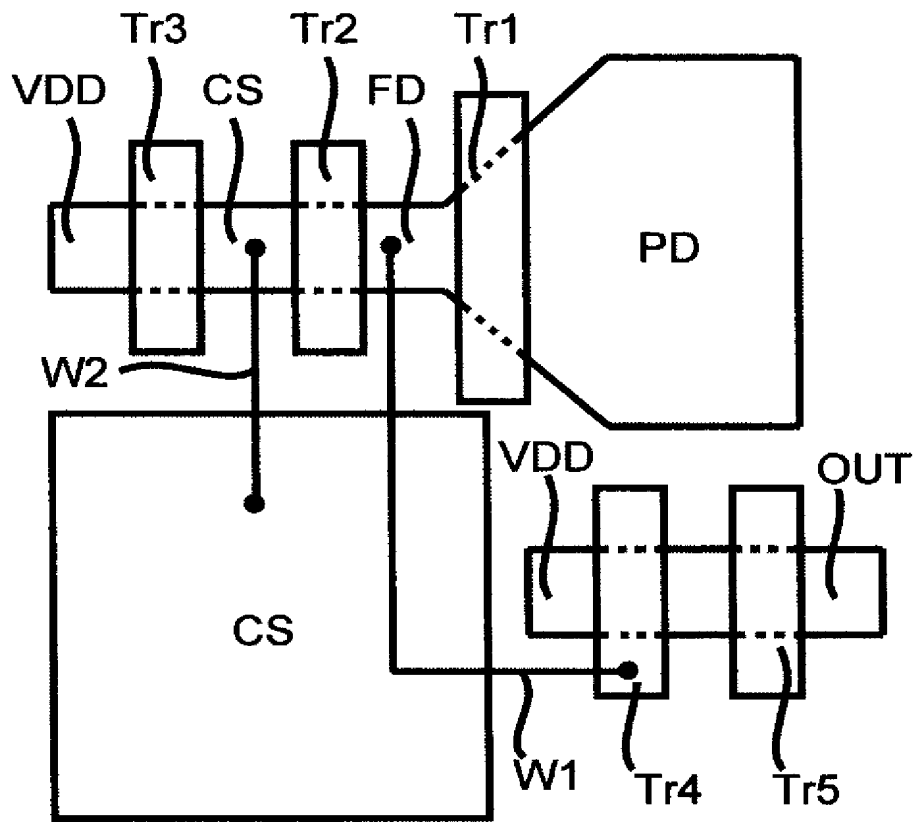


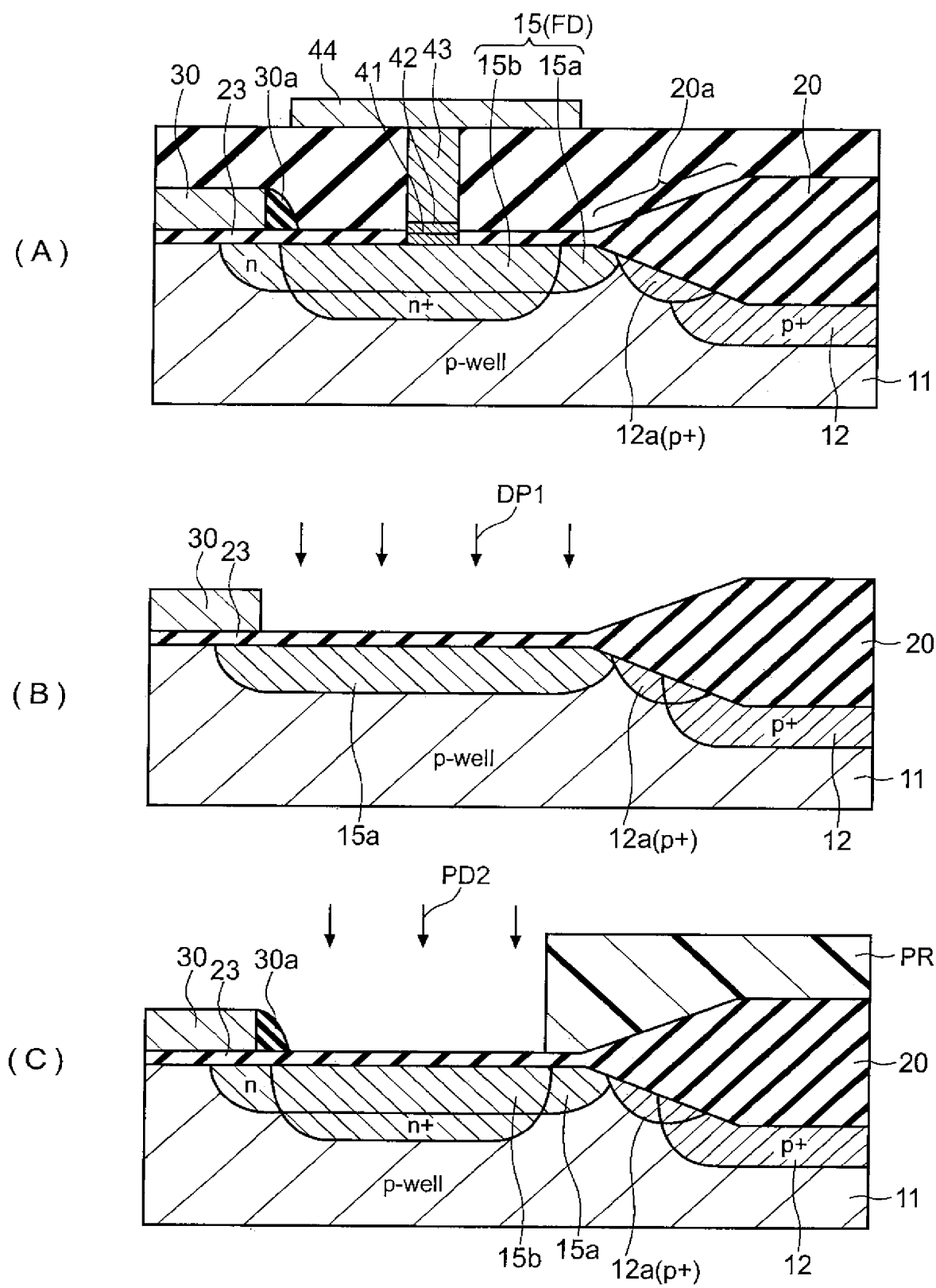


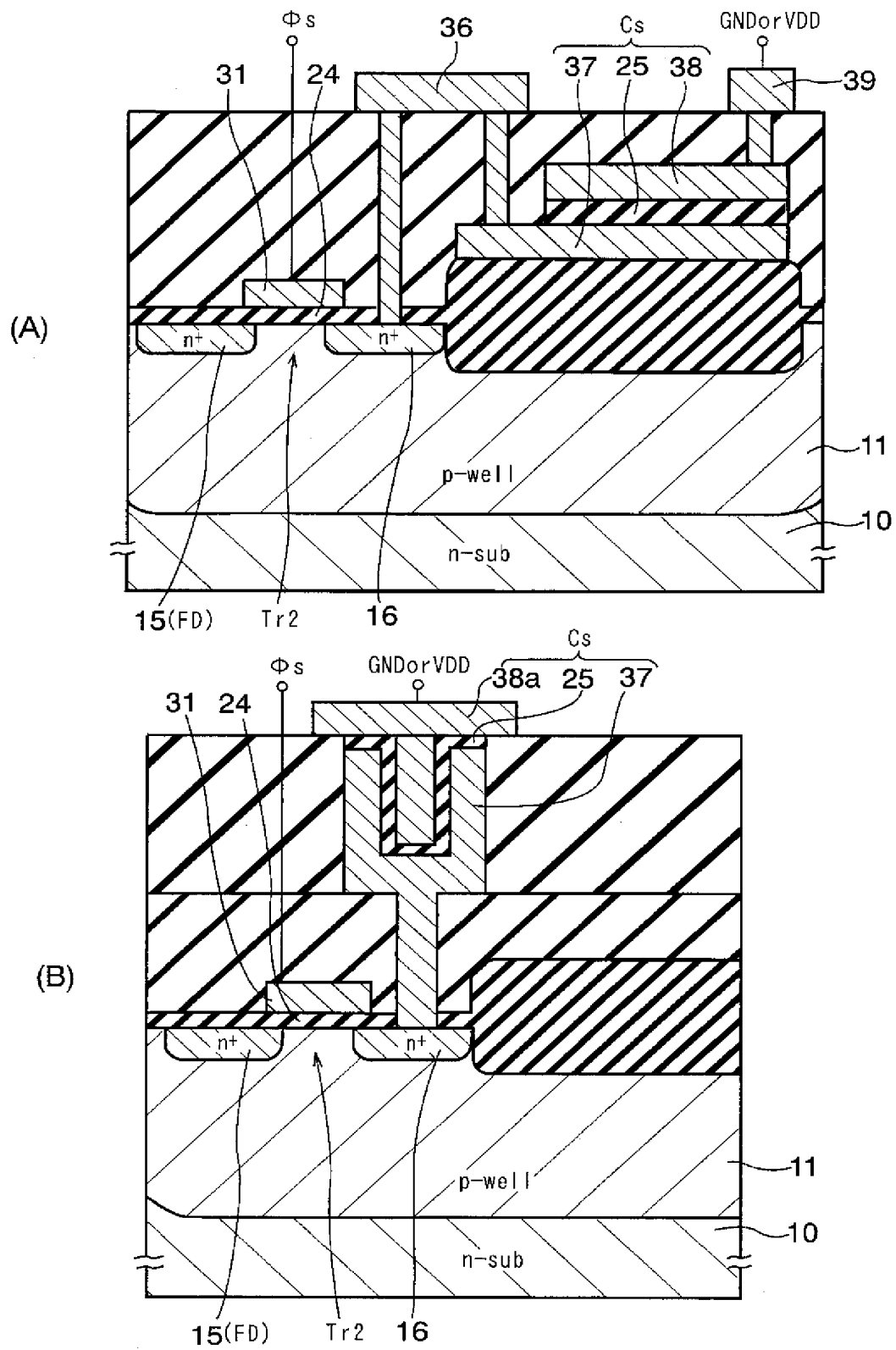


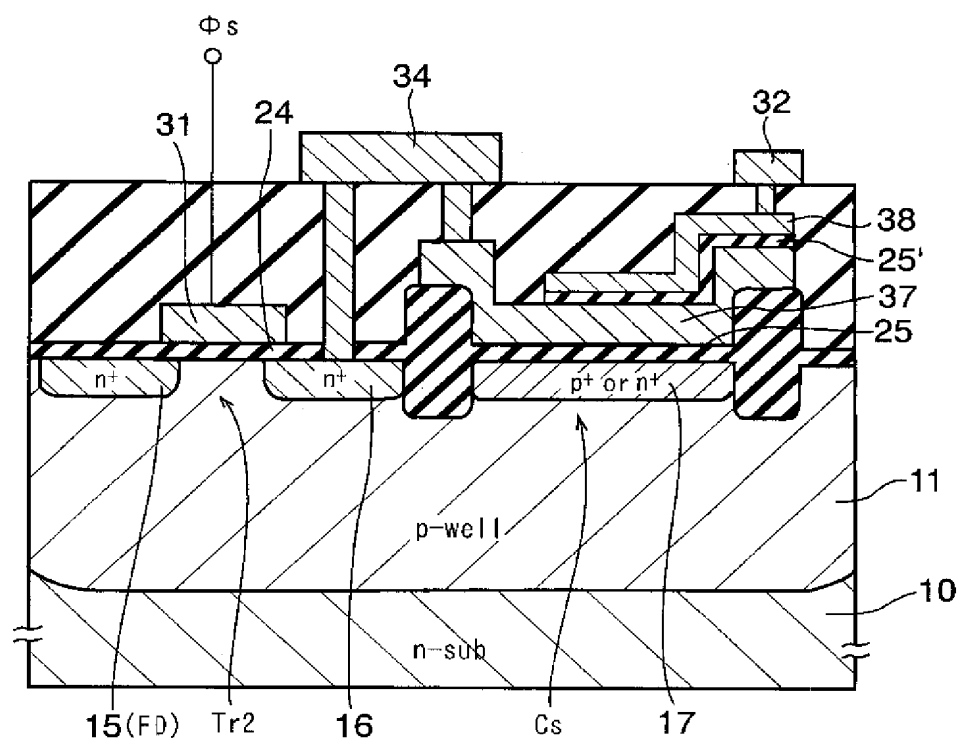




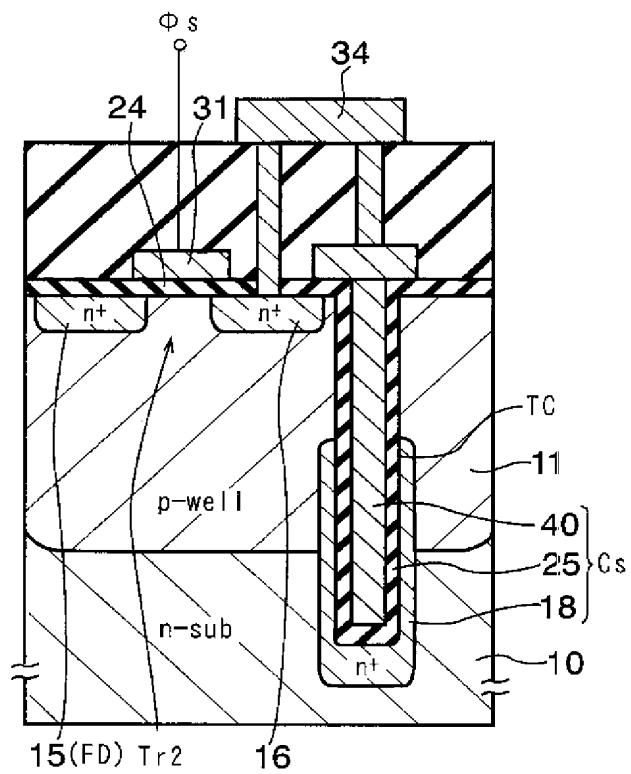




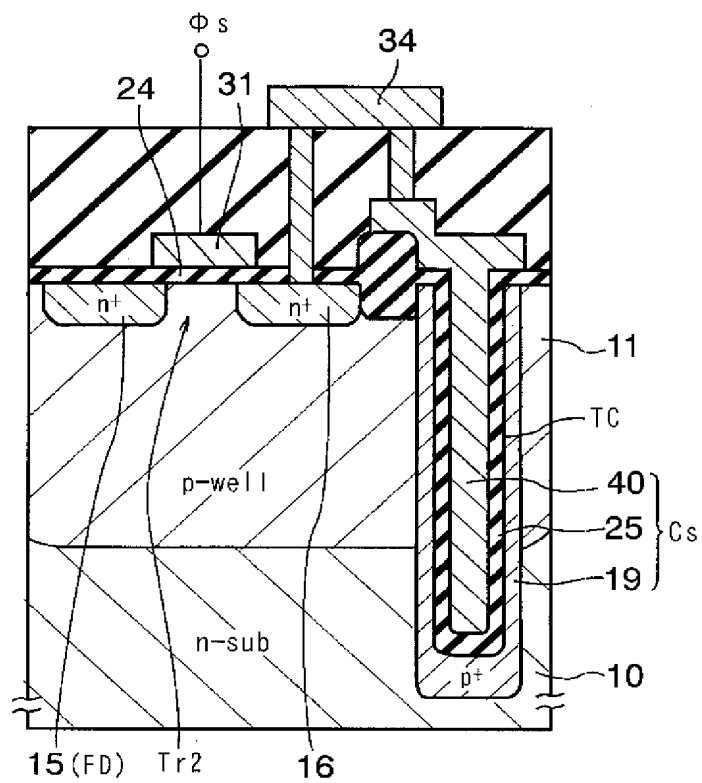


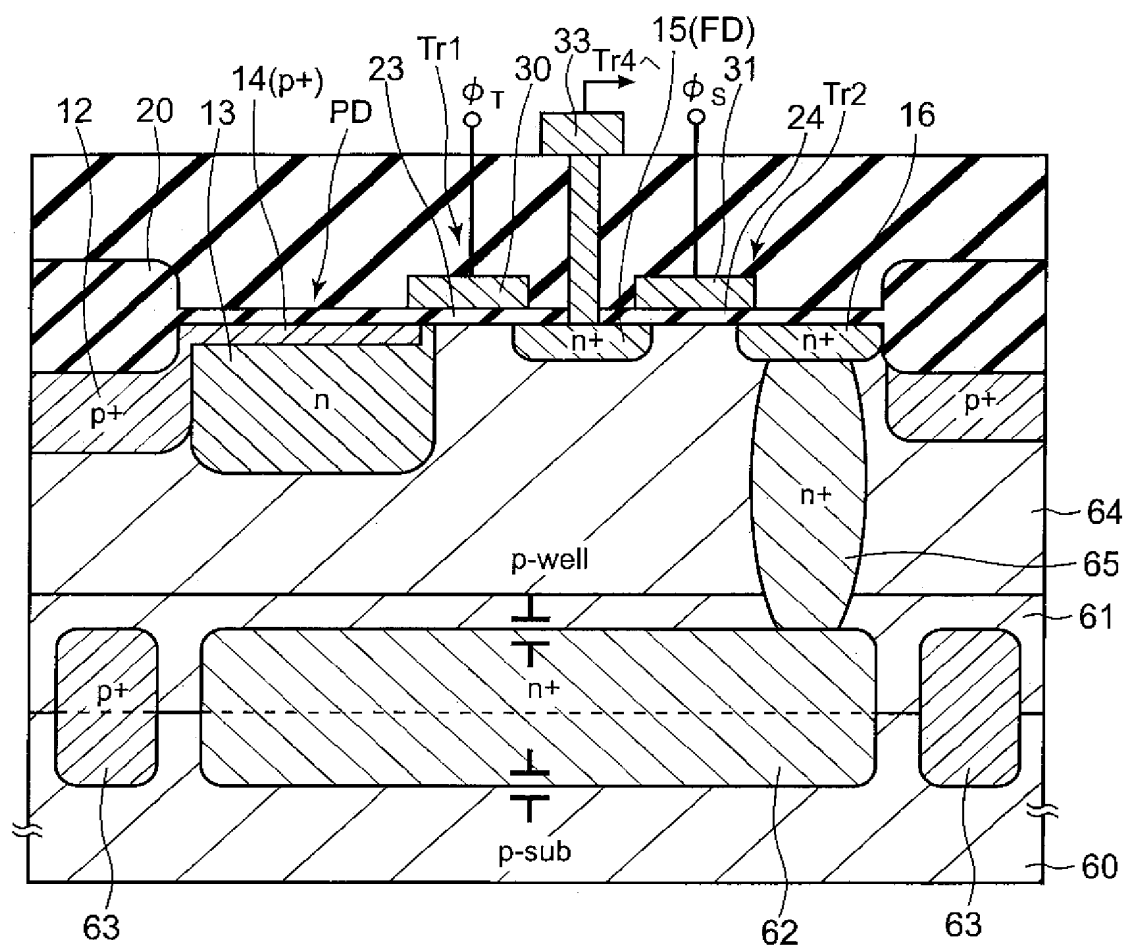


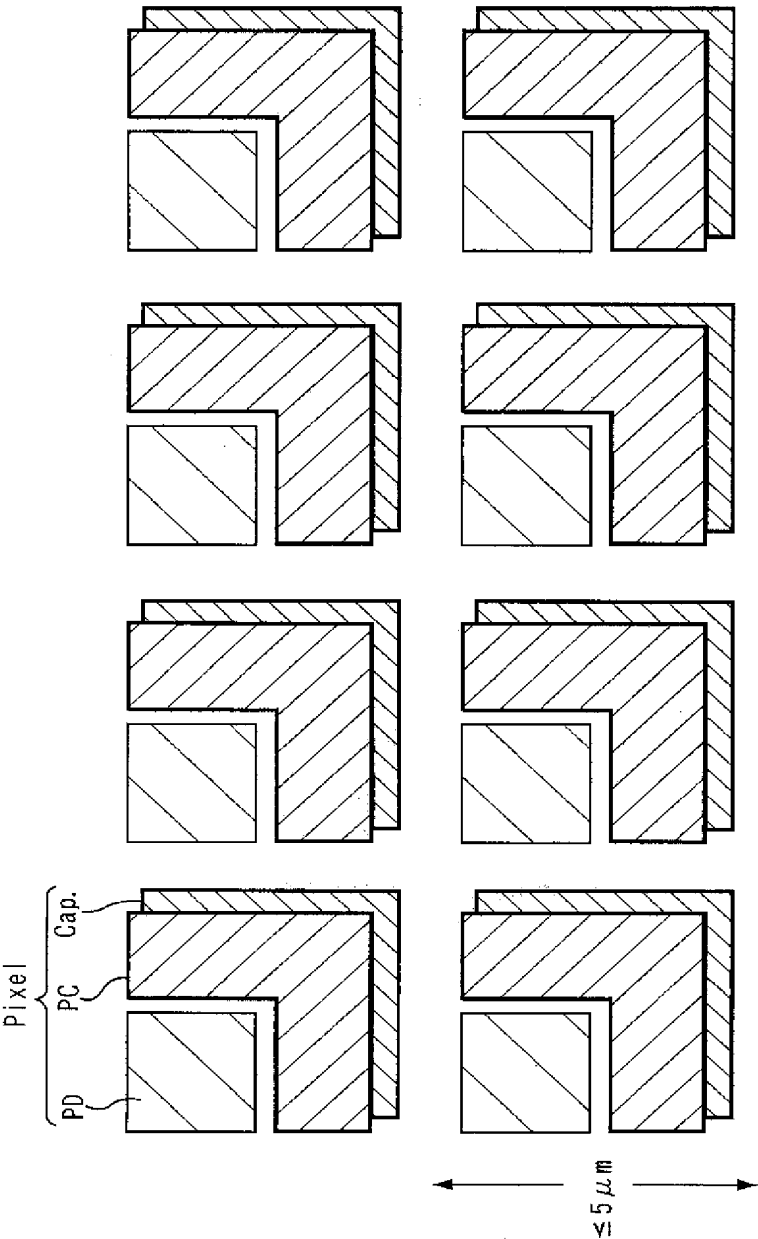
(A)

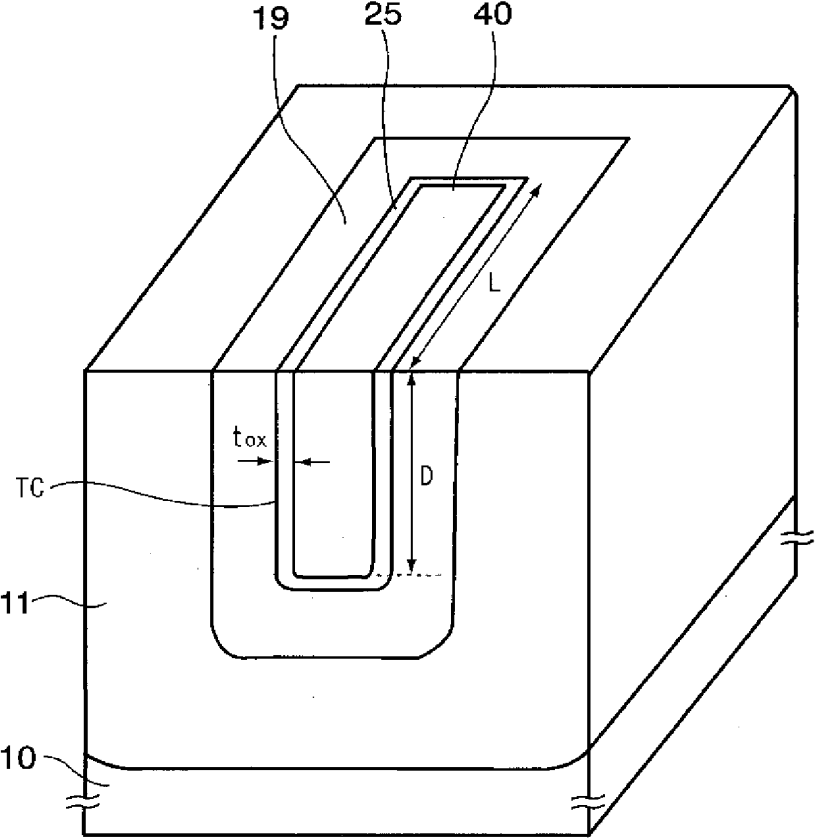


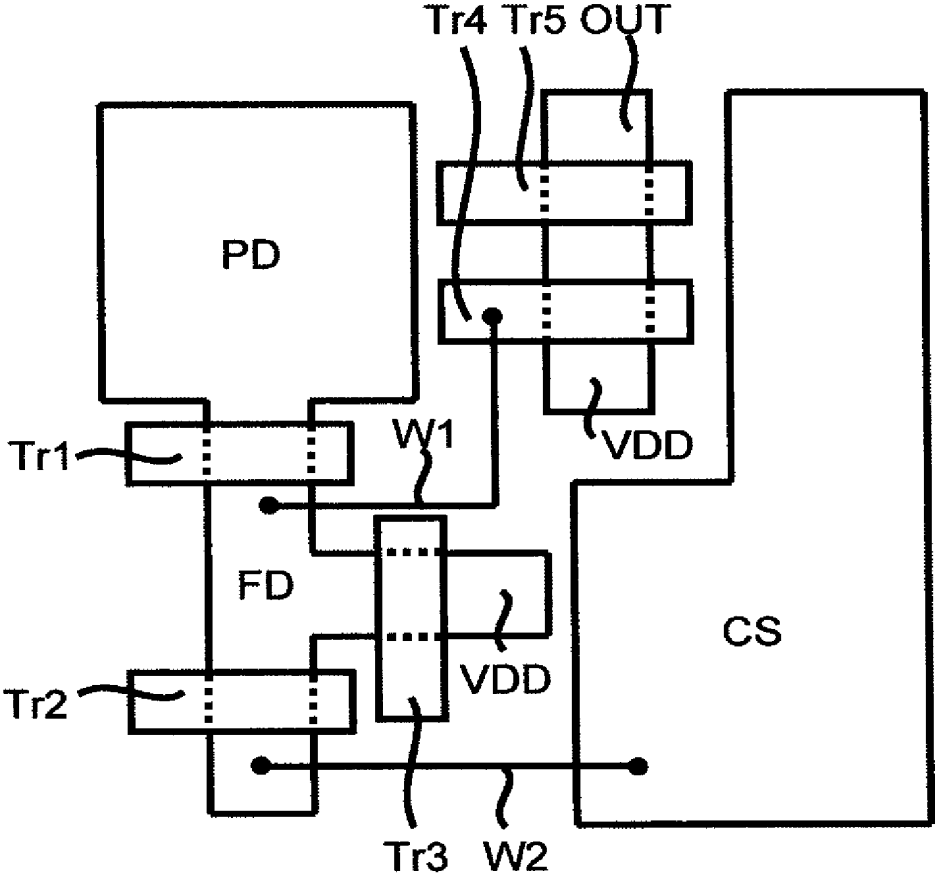
(B)

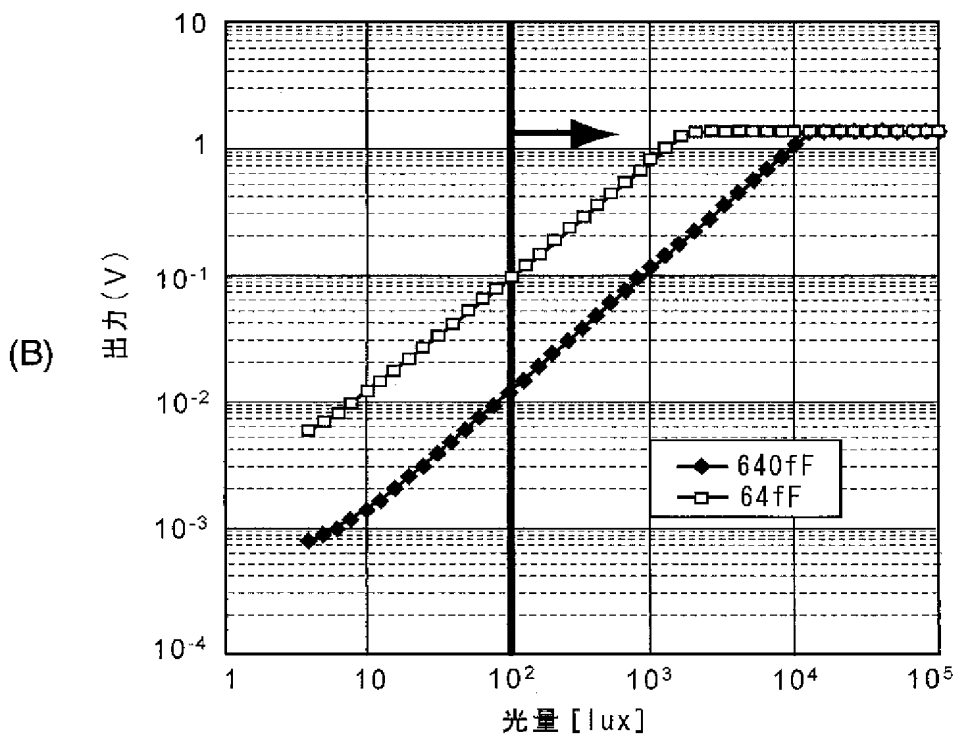
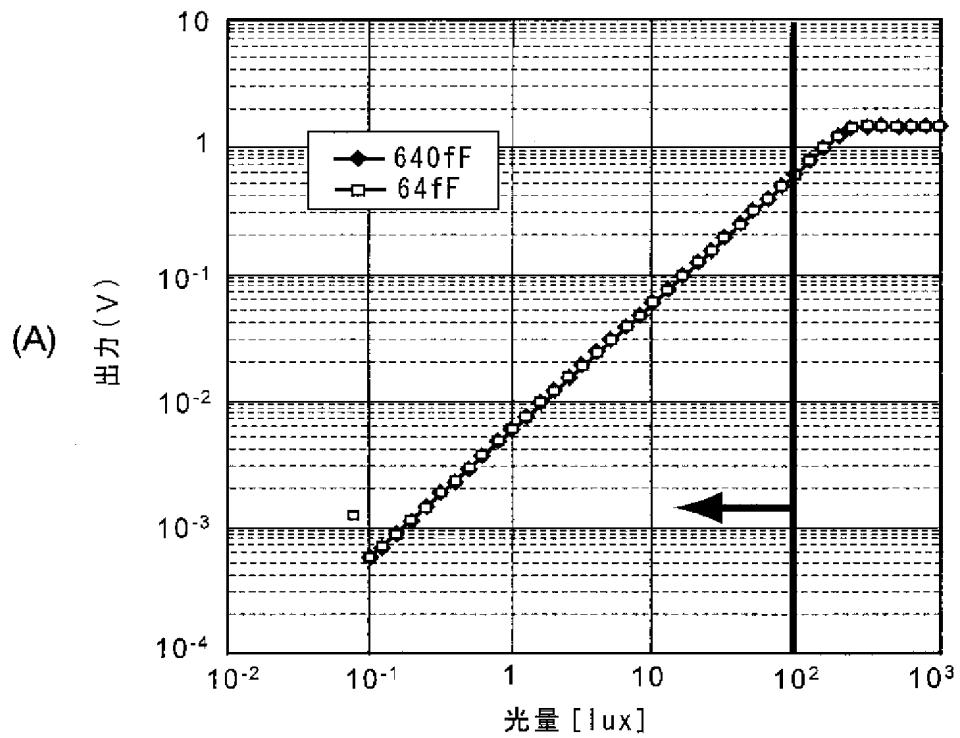




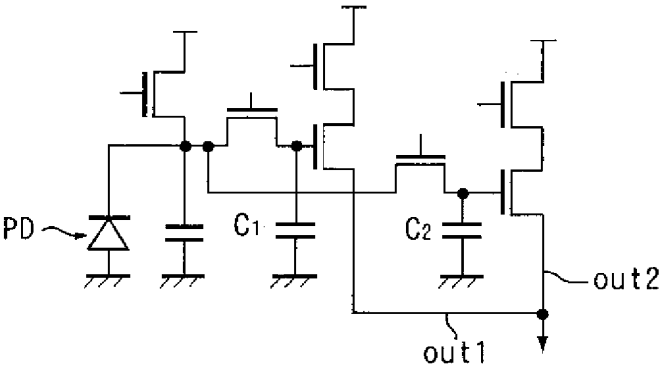




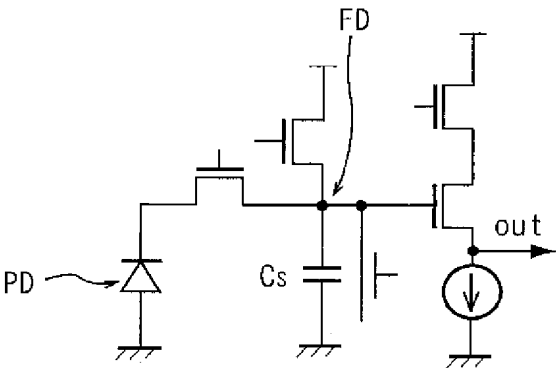


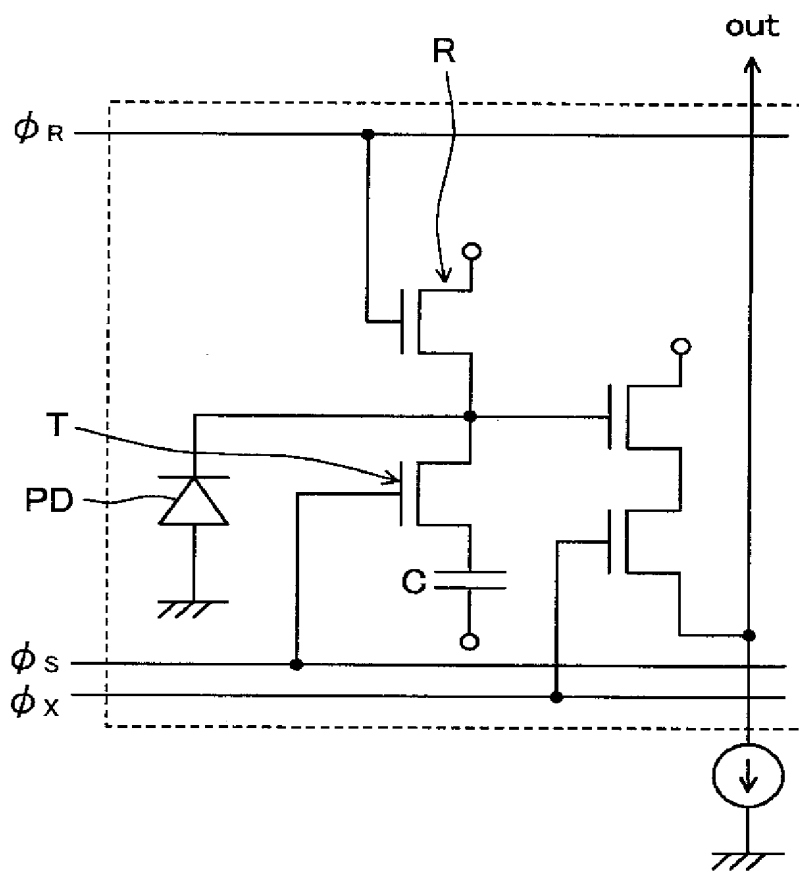


【 図 3 4 】

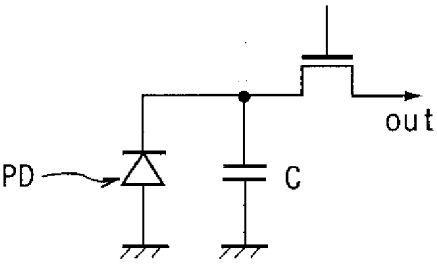


【 図 3 5 】

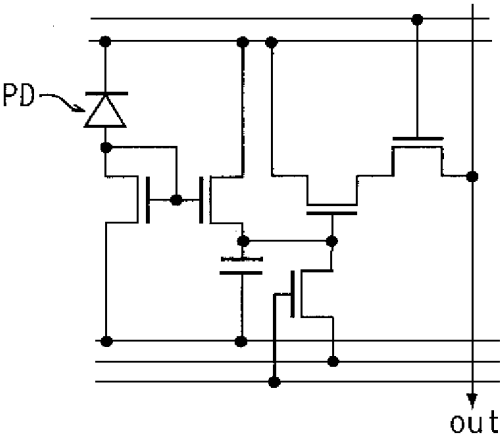




【图 3 7】



【图 3 8】



【書類名】 要約書

【要約】

【課題】 高感度高 S/N 比を維持したままで広ダイナミックレンジ化できる固体撮像装置、ラインセンサおよび光センサと、高感度高 S/N 比を維持したままで広ダイナミックレンジ化するための固体撮像装置の動作方法を提供する。

【解決手段】 光を受光して光電荷を生成および蓄積するフォトダイオード $P D$ と、光電荷を転送する転送トランジスタ $T r 1$ と、少なくとも転送トランジスタ $T r 1$ を介してフォトダイオード $P D$ に接続して設けられ、蓄積動作時にフォトダイオード $P D$ から溢れる光電荷を少なくとも転送トランジスタ $T r 1$ を通じて蓄積する蓄積容量素子 $C s$ とを有する画素がアレイ状に複数個集積されてなる構成とする。

【選択図】 図 1

【書類名】	手続補正書
【提出日】	平成16年11月18日
【あて先】	特許庁長官 殿
【事件の表示】	
【出願番号】	特願2004-322767
【補正をする者】	
【識別番号】	503282079
【氏名又は名称】	須川 成利
【代理人】	
【識別番号】	100094053
【弁理士】	
【氏名又は名称】	佐藤 隆久
【手続補正1】	
【補正対象書類名】	特許願
【補正対象項目名】	提出物件の目録
【補正方法】	追加
【補正の内容】	
【提出物件の目録】	
【物件名】	委任状 1

【添付書類】



委 任 状

平成 16 年 11 月 17 日

私は、識別番号 100094053 弁理士 佐藤隆久氏を以て代理人として下記事項を委任します。

記

1. 特許出願

「特願 2004-322767」

に関する一切の件

1. 上記出願又は「特願 2004-53889」

に基づく特許法第 41 条第 1 項又は実用新案法第 8 条第 1 項の規定による優先権の主張及びその取下げ



1. 上記出願に関する出願の変更、出願の放棄及び出願の取下げ

1. 上記出願に関する拒絶査定に対する審判の請求

1. 上記各項の手続に関する請求の取下げ、申請の取下げ又は申立ての取下げ

1. 上記各項に関し行政不服審査法に基づく諸手続をなすこと

1. 上記各項の手続を処理するため、復代理人を選任及び解任すること

住 所 宮城県仙台市青葉区川内元支倉 35 番地 川内住宅 2-102

名 称 須川 成利

(または氏名)



出願人履歴

3 9 0 0 2 0 2 4 8

19991119

住所変更

東京都新宿区西新宿六丁目24番1号

日本テキサス・インスツルメンツ株式会社

5 0 3 2 8 2 0 7 9

20030805

新規登録

宮城県仙台市青葉区川内元支倉35番地 川内住宅2-102

須川 成利